طراحی و بهینه‌سازی یک تقویت‌کننده گسترده CMOS با درنظرگرفتن عناصر پارازیتیک به‌وسیله الگوریتم ژنتیک چندهدفه

عباس گلمکانی[۱]، خلیل مافی نژاد[۲]، عباس کوزانی[۳]
۱- دانشجوی دکتری الکترونیک دانشگاه فردوسی مشهد و عضو هیأت علمی گروه مهندسی برق
موسسه آموزش عالی سجاد مشهد، Abbas_golmakani@yahoo.com
۲- دانشیار گروه مهندسی برق دانشگاه فردوسی مشهد، kh_mafi@yahoo.com
۳- استادیار گروه مهندسی برق دانشگاه دیکین استرالیا، kouzani@deakin.edu.au

چکیده

در این مقاله یک تقویت‌کننده گسترده CMOS کاملاً مجتمع برای کاربردهای ارتباطات بی‌سیم و گیرنده‌های اپتیکی پهن باند طراحی و بهینه‌سازی خواهد شد. این تقویت‌کننده چهار طبقه با ترکیب Cascode است. مسأله مهم در طراحی مدارهای مجتمع RF در تکنولوژی CMOS توجه به عناصر پارازیتیک ترانزیستور و سلف‌های مجتمع آن است و این مسأله محاسبات دستی طراحی را پیچیده می‌کند. در این مقاله پس از انتخاب پیکربندی مدار توسط کاربر، مقادیر اجزای مدار شامل ابعاد ترانزیستورها، ولتاژهای بایاس، تعداد دورها و قطر سیم‌پیچ سلف‌های مدار توسط الگوریتم بهینه‌سازی پیشنهاد شده و مقادیر پهنای باند، بهره، توان مصرفی، مساحت تراشه و مقادیر S11 و S22 توسط این الگوریتم بهینه می‌شود. یک ویژگی مهم این مقاله استفاده از مدل‌های دقیق عناصر در شبیه‌سازی و بدست آوردن جوابی است که به واقعیت بسیار نزدیک است. الگوریتم بهینه‌سازی بکار گرفته شده الگوریتم ژنتیک چندهدفه مبتنی بر جبهه پارتوی توزیع شده می‌باشد که برای بهینه‌سازی مدارهای RF تهیه شده است. برنامه‌های الگوریتم با Matlab نوشته شده است و شبیه‌سازی مدار به‌وسیله HspiceRF با تکنولوژی 0.18um CMOS صورت گرفته است.

واژه‌های کلیدی

تقویت‌کننده گسترده، الگوریتم ژنتیک چندهدفه، بهینه‌سازی، سلف مجتمع، RF CAD tools.

۱– مقدمه

تقویت‌کننده‌های گسترده (DA [1])، کاربردهای متنوعی در سیستم‌های رادار، ارتباطات نوری، مخابرات ماهواره‌ای، ارتباطات بی‌سیم و تجهیزات تست شبکه دارد. تقویت کننده‌های گسترده معمولاً به‌عنوان یک تقویت‌کننده پهن باند مناسب در مخابرات نوری استفاده می‌شوند و چون دارای بهره ثابتی در محدوده پهنای باند وسیع خود هستند، از پراکندگی سیگنال دریافتی جلوگیری می‌کند. همچنین در ارتباطات بی‌سیم پهن باند (UWB [2])، به تقویت سیگنال در محدوده فرکانسی 3.1GHz تا 10.6GHz نیاز می‌باشد که یک انتخاب مناسب برای پیاده‌سازی آن با توجه به پهنای باند وسیع آن تقویت‌کننده‌های گسترده می‌باشد.

تقویت‌کننده‌های گسترده اولیه با استفاده از لامپ‌های خلأ و MESFETهای GaAs سرعت بالا ساخته شدند[1]. در سال‌های اخیر توسعه تکنولوژی VLSI ما را قادر به ساخت قسمت‌های آنالوگ و دیجیتال یک فرستنده و گیرنده ارتباطی پهن باند به‌صورت مجتمع بر روی یک تراشه (SoC 3) کرده است[2].

لذا از تکنولوژی CMOS به‌جای تراشه‌های MMIC 4، GaAs یا تکنولوژی دو قطبی SiGe بیشتر استفاده می‌شود که هم قیمت تمام شده آن کمتر بوده و هم امکان مجتمع‌سازی را خواهد داشت. تکنولوژی‌های CMOS زیرمیکرون جدید با ترانزیستورهایی با

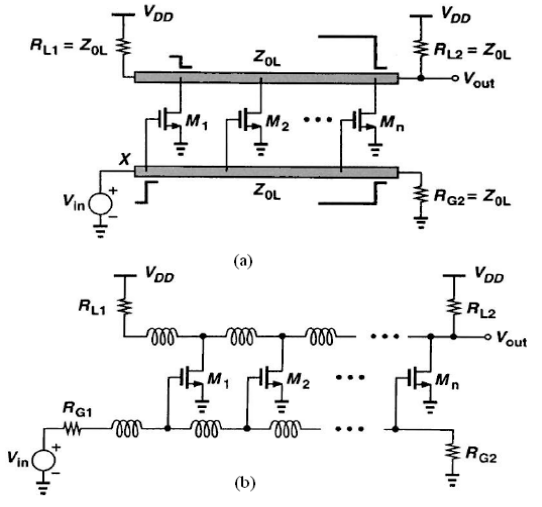
فرکانس قطع بیش از 100GHz امکان پیاده‌سازی مدارهای RF فرکانس بالا را فراهم کرده‌اند. به‌علاوه افزایش تعداد لایه‌های فلزی برای اتصالات در تکنولوژی‌های جدید CMOS امکان پیاده‌سازی عناصر مجتمع غیرفعال از قبیل سلف‌ها، خطوط انتقال و خازن‌های خطی با ضریب کیفیت مناسب را به‌وجود آورده‌اند[3].

یک مشکل پیاده‌سازی تقویت‌کننده‌های گسترده پهن باند در CMOS به مشکل مخرب تزویج بدنه مربوط می‌شود. مخصوصاً در پروسه CMOS دیجیتال جدید، میزان ناخالصی بالای بدنه و مقاومت کم آن، موجب تلفات بالایی در سلف‌های مجتمع در فرکانس‌های بالای چند گیگا هرتز می‌شود. مشکلات دیگر در پیاده‌سازی این تقویت‌کننده‌ها سطح زیاد مورد نیاز برای پیاده‌سازی سلف‌ها و همچنین توان مصرفی بالای آن است. توجه به این نکته در طراحی مدارهای مجتمع RF در تکنولوژی CMOS حائز اهمیت است که عناصر پارازیتیک ترانزیستورها و عناصر غیرفعال از جمله سلف‌های مجتمع کارآیی مدار را به شدت محدود می‌کند لذا در این طراحی‌ها استفاده از ابزارهای CAD طراحی و بهینه‌سازی که عناصر پارازیتیک را در نظر می‌گیرند، ضروری است. در این مقاله برای طراحی و بهینه‌سازی تقویت‌کننده گسترده، CAD مناسبی ارائه شده است که در آن کلیه‌ی عناصر پارازیتیک ترانزیستور و سلف‌ها در نظر گرفته شده و با توجه به آن مدار بهینه می‌شود.

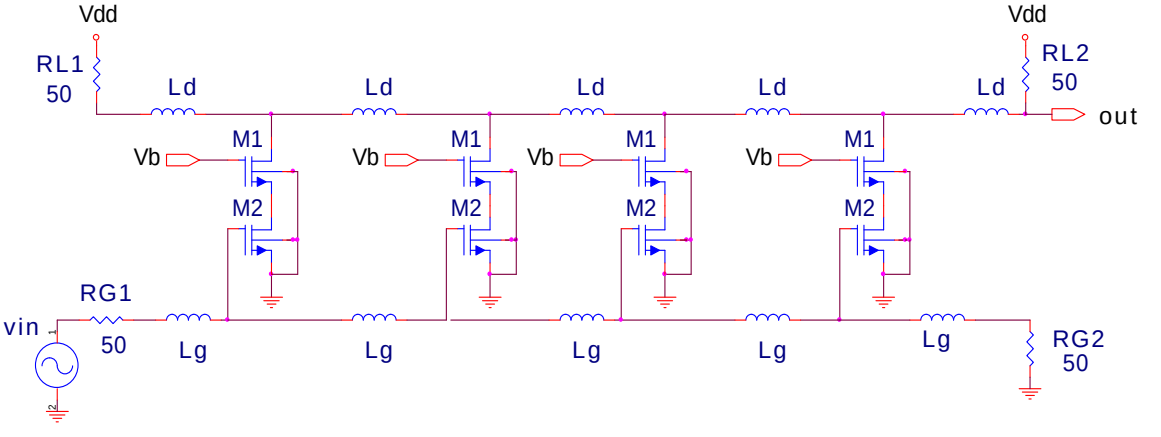
در بخش۲، به بررسی ساختار و عملکرد تقویت‌کننده گسترده می‌پردازیم و مدار پیشنهادی ارائه می‌شود، در بخش ۳، ساختار سلف‌های مجتمع و مدل‌سازی با عناصر پارازیتیک آنها در تکنولوژی CMOS بررسی شده ، در بخش ۴، الگوریتم بهینه‌سازی پیشنهادی تشریح شده و در بخش ۵، نتایج طراحی و بهینه‌سازی بیان می‌شود.

۲– نحوه‌ی عملکرد تقویت کننده‌های گسترده

به‌طور معمول تقویت‌کننده‌های گسترده از دو خط انتقال که پایه‌های درین و گیت ترانزیستورهای FET را به یکدیگر متصل می‌کنند، تشکیل شده‌اند (شکل۱-a). اما در مدارهای مجتمع چون اتصالات از چند صد میکرومتر خیلی کمتر است، این اتصالات نمی‌تواند برای فرکانس‌های زیر 40GHz به‌عنوان خط انتقال محسوب شود لذا خط انتقال با ترکیب نردبانی از سلف‌ها و خازن‌های فشرده مدل می‌شود که خازن‌های داخلی ترانزیستورها نقش خازن‌های خط انتقال را خواهند داشت [4] (شکل۱-b). در این ساختار اثر محدودکننده پهنای باند خازن‌های داخلی ترانزیستور حذف شده لذا پهنای باند وسیعی خواهیم داشت.



شکل ۱- ساختار شماتیک a- تقویت کننده گسترده b- پیاده سازی با عناصر فشرده [4]



شکل ۲- تقویت‌کننده گسترده مورد استفاده در این مقاله

ولی چون بهره به‌صورت جمع بهره طبقات موازی می‌باشد، بهره‌ی کمتری خواهیم داشت. در این مقاله از ترکیب Cascode برای ترانزیستورها استفاده شده است که مزیت آن نسبت به ترکیب سورس مشترک کم شدن اثر خازن C_{gd} است چون در ترکیب سورس مشترک با توجه به اثر میلر این خازن در بهره طبقه ضرب شده و در گیت ظاهر می‌شود و پهنای باند را محدود می‌کند[10].

مزیت دیگر ترکیب Cascode این است که خطوط انتقال درین و گیت از هم مجزا شده و هر خط را با تنظیم ابعاد ترانزیستورهای M1 و M2 به‌صورت مستقل از دیگری می‌توان طراحی کرد.

در طراحی مدار شکل۲، توجه به این نکات ضروری است. هر چه ابعاد ترانزیستور M2 بزرگتر باشد بهره بیشتر ولی پهنای باند کمتر می‌شود. ولتاژ بایاس ورودی، جریان ترانزیستورها را مشخص می‌کند که هر چه جریان بیشتر باشد بهره افزایش می‌یابد ولی از طرف دیگر توان مصرفی و سوییِنگ ولتاژ خروجی بدتر می‌شود.

ولتاژ بایاس ترانزیستورM1 بایستی طوری انتخاب شود که ترانزیستورها در ناحیه‌ی فعال باشند و مقادیر سلف‌ها به شکلی بدست می‌آیند که امپدانس مشخصه‌ی خطوط انتقال درین و گیت ۵۰ اهم شود (رابطه ۱).

$$Z_0 = \sqrt{\frac{L_d}{C_{dtot1}}} = \sqrt{\frac{L_g}{C_{gtot2}}} = 50 \qquad (۱)$$

مقادیر C_{dtot1} و C_{gtot2} با یک مرحله شبیه‌سازی در نقاط کار بدست آمده و مقادیر L_d و L_g با توجه به رابطه‌ی ۱ محاسبه می‌شوند. پهنای باند مدار به‌وسیله پهنای باند خطوط انتقال درین و گیت محدود می‌شود و داریم [5]:

$$BW_{\max} \le \min\left(\sqrt{\frac{1}{L_g C_g}}, \sqrt{\frac{1}{L_d C_d}}\right) \qquad (۲)$$

بهره‌ی مدار نیز از جمع بهره‌ی طبقات موازی بدست آمده و داریم: $A_V = n\frac{1}{2} g_m Z_0$ که در آن n تعداد طبقات است.

معادلات فوق با فرض خط انتقال بدون تلفات و با سلف‌های ایده‌آل بدست آمده‌اند ولی در عمل با توجه به ضریب کیفیت نه چندان مناسب سلف‌های پیاده‌سازی شده در تکنولوژی CMOS سلف‌ها دارای تلفات بوده و معادلات بسیار پیچیده‌تر خواهد بود و با محاسبات تقریبی بهره و پهنای باند مطلوب بدست نمی‌آید.

یک محدودیت پیاده‌سازی تقویت‌کننده‌های گسترده به‌صورت مجتمع، سطح زیاد مورد نیاز برای پیاده‌سازی سلف‌ها و همچنین توان مصرفی بالای آن می‌باشد. لذا نیاز به یک CAD مناسب جهت طراحی که در آن مدل‌های دقیق عناصر در نظر گرفته شوند و مقادیر بهره، پهنای باند، توان مصرفی و سطح تراشه در آن بهینه شود، وجود خواهد داشت.

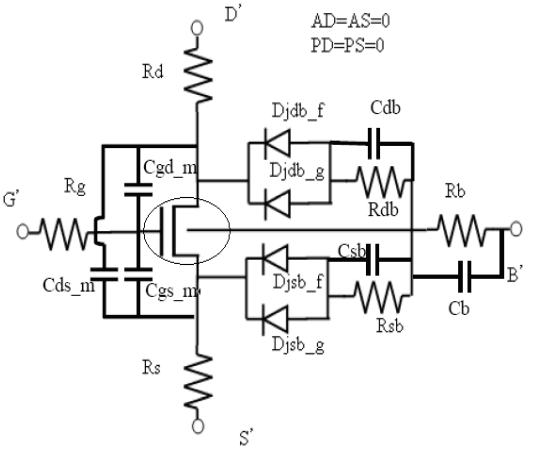
۳– مدل‌سازی عناصر در RF

برای تحلیل مدارهای RF به‌علت فرکانس بالای کار مدار، از مدل‌هایی شامل کلیه‌ی عناصر پارازیتیک بایستی استفاده کرد. این مدل‌ها بر اساس فیزیک قطعه پیشنهاد شده و با اندازه‌گیری پس از ساخت به‌وسیله شرکت‌های سازنده‌ی تراشه و یا با تحلیل الکترومغناطیسی بدست می‌آیند. در این بخش مروری بر مدل عناصر در تکنولوژی 0.18um که به‌وسیله شرکت TSMC [5] ارائه شده، خواهیم داشت. این مدل‌ها تا فرکانس 20GHz صادق می‌باشند[6].

۳–۱– ترانزیستور MOS :

برای شبیه‌سازی ترانزیستور در فرکانس‌های بالا به مدل ترانزیستور عادی(BSIM3V3) عناصر پارازیتیک مطابق شکل ۳ اضافه شده است [6].

در این شکل کلیه‌ی عناصر پارازیتیک به ترانزیستور اضافه شده و کل مدار به‌عنوان یک زیرمدار جایگزین ترانزیستور می‌شود. عناصر پارازیتیک عبارتند از: مقاومت‌های بدنه (R_b ، R_{sb} و R_{db})، خازن‌های بدنه (C_b، C_{sb} و C_{db})، مقاومت موثر گیت (R_g) که از دو مؤلفه شامل مقاومت فیزیکی فلز گیت و مقاومت القا شده‌ی کانال تشکیل شده است.

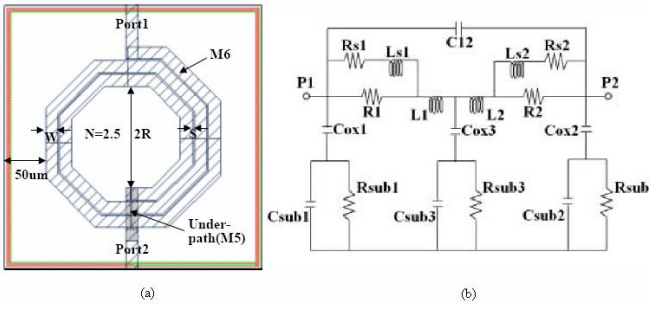


شکل ۳- مدار معادل RF ترانزیستور NMOS [6]

دیودهای بین درین و بدنه و بین سورس و بدنه، مقاومت‌های مسیر اتصالات فلزی درین و سورس (R_s ، R_d) و خازن‌های اتصالات فلزی پایه‌ها (C_{ds_m} و C_{gs_m} ، Cgd_m) می‌باشد.

۳–۲– سلف مجتمع مارپیچی:

برای ساخت سلف از ساختار مارپیچی که در بالاترین لایه فلزی (لایه فلزی ۶)، استفاده می‌شود (شکل۴-a).



شکل ۴- a- ساختار سلف مارپیچی b- مدار معادل آن [6]

اثرات غیر ایده‌آل سلف شامل تلفات اهمی فلز سلف، اثر پوسته و اثر مجاورتی که باعث افزایش این مقاومت شده، خازن‌های پارازیتیک بین سیم‌پیچ‌ها و همچنین بین سلف و بدنه و تلفات بدنه ناشی از جریان Eddy مطابق با شکل۴-b مدل شده است. در این مدل Li مقدار سلف و Ri مقاومت اهمی سیم‌پیچ سلف، Rsi و Lsi مقامت و سلف ناشی از اثر پوسته فلز سلف ، Coxi خازن بین سلف و بدنه، Rsubi و Csubi مقاومت و خازن ناشی از تلفات بدنه بوده و C12 خازن کوپلینگ بین پورت‌های ۱و۲ سلف است.

این مدل‌سازی توسط شرکت TSMC، به‌ازای مقادیر مختلف تعداد دور N (5.5 - 0.5) و شعاع سلف R (120um - 30um) و بازای مقادیر مختلف W (9um, 15um, 30um) انجام شده است. فرمول‌های تجربی با توجه به نتایج اندازه‌گیری ساختارهایی با ابعاد مختلف استخراج شده است.

در جدول۱، فرمول‌های مقادیر مدل برای W=15um و S=2um برای ساختار شکل ۴- a آمده است. که در آن DA، DO و N به‌ترتیب قطر متوسط، قطر بیرونی و تعداد دور سلف می‌باشد.

در طراحی از سلف با مقدار W=15um استفاده شده است که با تعداد دور N و شعاع R ، مقدار سلف تنظیم می‌شود.

۴- الگوریتم بهینه‌سازی بر اساس الگوریتم ژنتیک چندهدفه مبتنی بر جبهه‌ی پارتوی توزیع‌شده (DPMOGA [6]):

در طراحی مدار مورد نظر با توجه به عناصر پارازیتیک ترانزیستورها و سلف‌ها محاسبات دستی دقیق ممکن نیست. با استفاده از فرمول‌های تقریبی معمولاً نتایج مورد نظر حاصل نشده و نیاز به سعی و خطای زیادی خواهد بود تا به نتایج مطلوب دست یابیم، که این روش زمان‌بر بوده و در نهایت نیز معلوم نیست که بهترین جواب ممکن بدست‌آمده باشد.

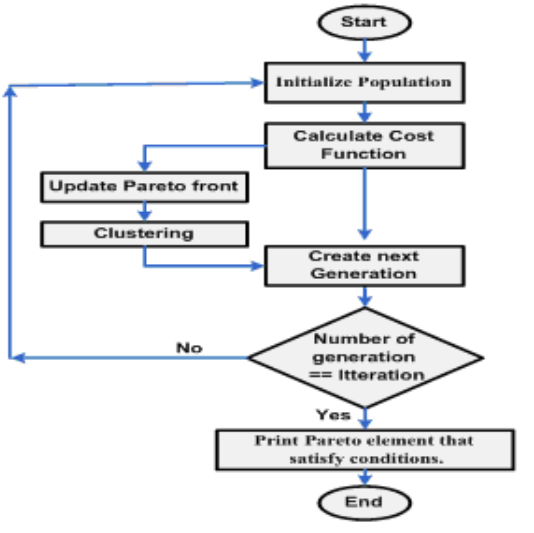
در این مقاله برای طراحی مدار یک CAD ارائه شده است که جستجوی وسیع و مؤثری را در محدوده‌ی طراحی انجام می‌دهد. در هر مرحله مدار با Hspice شبیه‌سازی شده و نتایج شبیه‌سازی بررسی می شود و تا حصول نتیجه مطلوب کار ادامه پیدا خواهد کرد. مسأله بهینه‌سازی مدار یک مسأله چندهدفه بوده و بایستی مصالحه‌ای بین پارامترهای مختلف مدار از قبیل بهره، پهنای باند، توان مصرفی و سطح تراشه برقرار شود. الگوریتم بهینه‌سازی بکار گرفته شده در این مقاله الگوریتم جدیدی بنام الگوریتم ژنتیک چندهدفه مبتنی بر جبهه پارتوی توزیع شده (DPMOGA) می‌باشد که برای طراحی مدارهای RF تهیه شده است.

جدول ۱- مقادیر عناصر مدار معادل سلف [6]

Parameter	STD
L1=L2	$4.381E\text{-}4*N^{1.731}*DA^{2.228}*DO^{-1.034}-19.27*N^{9.96E-4}+19.34$
Ls1=Ls2	$0.717*N^{1.063}*DA^{-0.104}*DO^{0.181}-0.942*N^{1.113}-0.0492$
R1=R2	$9.897E\text{-}06*N*DA^{2}-0.1242*N+2.602E\text{-}05*DA+0.0843*N^{2}+0.717$
Rs1=Rs2	$3.469E\text{-}06*N*DA^{2}+0.87*N+0.00374*DA-0.0366*N^{2}-0.365$
C12	$14.87*N-1.424E\text{-}03*N*DA-1.239*N^{2}+3.621E\text{-}4*DA^{2}-9.075$
Cox1	$0.0471*N*DA+14.27$
Cox2	$0.0399*N*DA+15.21$
Rsub1	$62440/(N*DA)+45261.4/DA+1311.3/N-49.659$
Rsub2	$-11417/(N*DA)+172202/DA+866.29/N+130.12$

نسخه‌ی اولیه این الگوریتم در مرجع [7] برای بهینه‌سازی مدارهای آنالوگ بکار رفته است که در نسخه جدید آن Clustering برای محدود کردن تعداد اعضاء و حفظ پراکندگی جبهه‌ی پارتو اضافه شده است. فلوچارت کلی الگوریتم در شکل ۵ آمده است که در آن ابتدا جمعیت اولیه به شکل تصادفی انتخاب شده و در هر مرحله پس از محاسبه توابع هزینه، بهترین اعضا در یک مجموعه‌ی بیرونی شامل جواب‌های پارتو نگهداری می‌شوند سپس به‌وسیله Clustering اعضای نزدیک به هم در جبهه با یک عضو جایگزین می‌شود. برای تولید نسل بعد، یک عضو از جمعیت موجود با یک عضو از جمعیت پارتو که با توجه به میزان ازدحام اعضا نسبت به یکدیگر، انتخاب شده است ترکیب می‌شود. الگوریتم با نرم‌افزار Matlab نوشته شده است. تعداد اعضای جمعیت، ۳۰ عضو انتخاب شده است که هر عضو شامل اطلاعات ۸ پارامتر ورودی مدار است و با ۴۸ بیت کد شده است. تعداد پارامترهای خروجی نیز ۶ عدد می‌باشد و الگوریتم حداکثر به تعداد ۱۰۰ نسل ادامه می‌یابد.

در ادامه به توضیح قسمت‌های مختلف این الگوریتم می‌پردازیم:



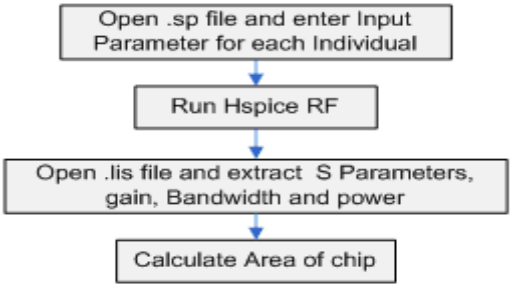
شکل ۵- فلوچارت الگوریتم ژنتیک پیاده‌سازی شده

۴-۱- محاسبه توابع هزینه [7]

به‌ازای هر کدام از اعضاء، مقادیر پارامترهای ورودی شامل تعداد دور و قطر سلف‌های L_d و L_g، تعداد fingerهای M1 و M2 که دارای ابعاد $\frac{W}{L}=\frac{10um}{0.18um}$ می‌باشند و ولتاژهای بایاس ورودی و گیت M1 (شکل ۲)، استخراج شده و در فایل ورودی (sp)، جایگزین می‌شوند. سپس Hspice اجرا شده و از فایل خروجی (.lis) بهره، پهنای باند، مقادیر S11 و S22 و توان مصرفی استخراج می‌شود. مقدار سطح تراشه نیز با توجه به ابعاد سلف‌ها جداگانه محاسبه می‌شود (شکل ۶) در این مرحله چنانچه ترانزیستورها در ناحیه فعال نباشند به آن عضو امتیاز منفی بالایی داده می‌شود تا در نسل‌های بعدی حذف شود.

۴-۲- به‌روز کردن [8] جبهه پارتو

پس از محاسبه توابع هزینه در نسل بعد، اعضا جدید با اعضاء جبهه پارتو مقایسه شده و در صورتی‌که هر کدام از اعضاء جدید بر یک یا چند عضو جبهه پارتو برتری [9] داشته باشد، این عضو جانشین



شکل ۶- محاسبه توابع هزینه

آن اعضا در جبهه پارتو می‌شود[7]. سپس Clustering انجام می‌شود و از بین اعضایی که در جبهه پارتو از یک شعاع δ_{Clust} به هم نزدیکتر هستند عضو قدیمی‌تر حفظ شده و بقیه اعضا حذف می‌شوند. مقدار $\delta_{Clust}=0.01$ انتخاب شده است. d_{ij} فاصله عضو i تا عضو j، طبق معادله۳، تعریف می‌شود که از مجموع مربعات فاصله نرمالیزه شده پارامترهای ورودی و خروجی هر عضو بدست می‌آید [8]. که در آن N تعداد کل پارامترهای ورودی و خروجی است.

$$d_{ij}=\sqrt{\frac{1}{N}\sum_{k=1}^{N}\left(\frac{p_{ik}-p_{jk}}{p_k^u-p_k^l}\right)^2} \qquad (۳)$$

(p_k^u و p_k^l به ترتیب بیشترین و کمترین مقدار پارامتر k ام می‌باشند.)

۴-۳- تولید نسل بعد

مطابق شکل ۷، برای تولید نسل بعد بدین شکل عمل می‌شود که ابتدا برای پیاده‌سازی نخبه‌گرایی [10] و اطمینان از اینکه در نسل‌های بعدی کیفیت جواب‌ها بدتر نخواهد شد، بهترین عضو از نظر هر تابع هزینه مستقیماً به نسل بعد راه می‌یابد. سپس برای تولید بقیه اعضای نسل بعد، یک عضو از جمعیت موجود و یک عضو از جبهه پارتو، انتخاب می‌شود و این دو به‌صورت خطی در محدوده اعداد حقیقی ترکیب [11] شده و سپس عملگر جهش [12] اعمال و بدین ترتیب یک عضو نسل بعد تولید می‌شود. نحوه انتخاب [13] از اعضای جمعیت موجود به روش چرخ رولت [14] بر اساس سوییچ‌کردن بین توابع هدف می‌باشد. به‌طوری‌که به تعداد ۴ بار از نظر هر تابع هدف

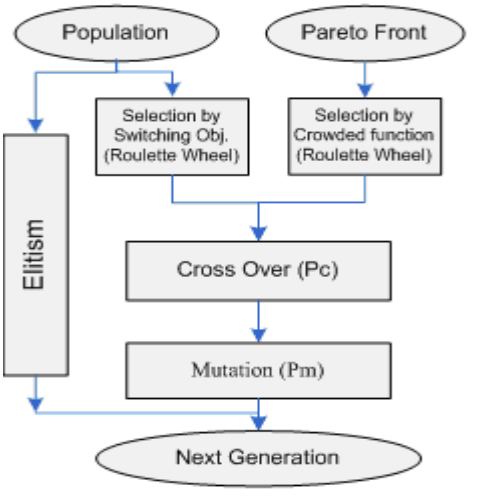
انتخاب انجام می‌شود. نحوه انتخاب از جبهه پارتو بر اساس میزان ازدحام اعضا نسبت به یکدیگر به‌روش چرخ رولت، انجام می‌شود بدین ترتیب که برای هر کدام از اعضا جبهه پارتو یک تابع ازدحام به شکل زیر تعریف می‌شود. S_{ij} تابع همسایگی عضو i تا عضو j، مطابق با معادله۴، تعریف می‌شود [9]:

$$S_{ij} = \begin{cases} 1 - \left(\dfrac{d_{ij}}{\delta_{share}} \right)^2 & if \quad d_{ij} < \delta_{share} \\ 0 & otherwise \end{cases} \qquad (٤)$$

که در آن مقدار $\delta_{share} = 0.1$ در نظر گرفته شده است. در نهایت تابع ازدحام عضو i ام به شکل زیر بدست می‌آید:

$C_i = \sum_{j=1}^{N_p} S_{ij}$ (N_p تعداد اعضای جبهه پارتو است.)

انتخاب اعضا در جبهه پارتو به منظور حفظ پراکندگی با هدف مینیمم کردن C_i، انجام می‌شود.



شکل ۷- نحوه تولید نسل بعد

۵- نتیجه گیری

با استفاده از CAD تهیه شده طراحی و بهینه‌سازی تقویت‌کننده گسترده ۴ طبقه با طبقات Cascode مشابه هم (شکل ۲)، انجام شد. ابعاد ترانزیستورهای M1 و M2، مقدار ولتاژهای بایاس ورودی و گیت ترانزیستور M1، مقادیر سلف‌ها شامل تعداد دور و شعاع سلف درین و گیت به‌عنوان پارامترهای طراحی بایستی به شکلی انتخاب شود که حداقل شرایط مطلوب مطابق جدول۲، برآورده شود. شبیه‌سازی‌ها در تکنولوژی استاندارد CMOS 0.18um انجام شده و در شبیه سازی از عناصر واقعی با در نظر گرفتن عناصر پارازیتیک استفاده شده است لذا نتایج شبیه‌سازی به نتایج واقعی بسیار نزدیک خواهد بود.

جدول ۲- حداقل شرایط مطلوب طراحی

Specification	Required
Gain	>5 dB
Unity Gain Bandwidth	>10GHz
S11	< -15 dB
S22	< -15 dB
Power Dissipation	< 20 mw
Area of chip	as low as possible
Vdd	1.8 v

روش کار به این شکل است که در هر مرحله مقادیر پارامترهای ورودی توسط واحد بهینه سازی پیشنهاد می‌شود سپس مدار با آن مقادیر شبیه‌سازی شده و نتایج استخراج می‌شود و کار به تعداد ۱۰۰ نسل ادامه یافت. پس از ۱۰۰ نسل تعداد اعضای جبهه پارتو به ۱۶۷ عضو رسید که در بین آنها ۵ جواب قابل قبول وجود داشت که نتایج آن در جدول ۳ آمده است. بازای سه جواب ۱، ۳ و ۵ از جدول ۳ ، نمودارهای مقادیر S11، S21 و S22 رسم شده که در شکل۸ آمده است.

زمان اجرای الگوریتم وابسته به تعداد اجراهای Hspice است که در این طراحی کلا ۳۰۰۰ بار Hspice اجرا شد و اجرای برنامه بر روی کامپیوتر Celeron 2.5GHz حدود ۲/۵ ساعت به طول انجامید. همانطور که ملاحظه می‌شود مجموعه جواب‌های حاصل از این روش دارای کیفیت و تنوع بیشتری بوده و از نظر زمان مورد نیاز طراحی نیز این روش خیلی سریع‌تر از روش طراحی دستی می‌باشد به دلیل این‌که در روش محاسبات دستی برای رسیدن به جواب مطلوب نیاز به سعی و خطای زیادی بوده که بسیار زمانبر است چون معمولاً در هر مرحله طراح فقط یکی از پارامترهای ورودی را تغییر داده و پس از آن شبیه‌سازی را تکرار و نتایج آن را بررسی می‌کند. علت زمان‌بر بودن طراحی دستی، تقابل بین پارامترهای خروجی است به‌طوری‌که بهبود یک پارامتر باعث تضعیف پارامترهای دیگر می‌گردد.

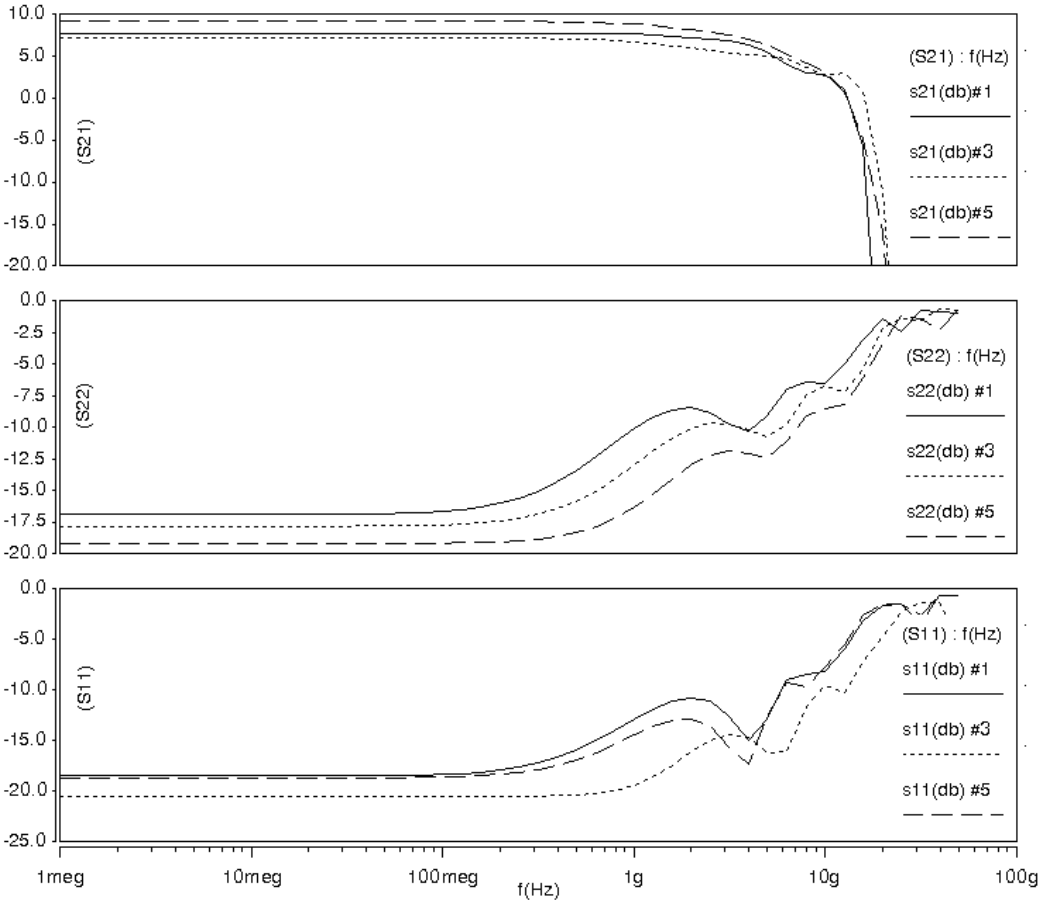
از طرف دیگر در محاسبات دستی طراح مطمئن نیست که جواب بدست آمده بهترین جواب ممکن باشد در حالیکه در این روش تا حدود زیادی اطمینان وجود دارد که به بهترین جواب‌ها (جواب بهینه عمومی) رسیده باشیم.

این روش قابل پیاده‌سازی بر روی هر مدار RF دیگر از قبیل LNA، میکسر، اسیلاتور و غیره است و از نظر زمان مورد نیاز طراحی و دقت نتایج حاصله بر روش‌های متداول طراحی ارجحیت دارد. از ویژگی‌های دیگر این روش در نظر گرفتن عناصر پارازیتیک المان‌ها و توجه به Layout آنها در طراحی است.

جدول ۳- جواب‌های قابل قبول حاصل از بهینه‌سازی

Spec	Answers				
	#1	#2	#3	#4	#5
N_Ld	1.25	1.25	1.0	1.25	1.0
Rad_Ld	116um	113um	117um	110um	93um
N_Lg	1.5	1.0	1.0	1.5	1.5
Rad_Lg	67um	69um	67um	62um	63um
NF*_M1	18	21	18	17	23
NF*_M2	13	15	12	13	17
Vin (DC)	1.565V	1.558V	1.575V	1.648V	1.512V
Vb (M1)	1.195V	1.195V	1.196V	1.188V	1.171V
Gain (dB)	7.7	8.7	7.1	7.6	9.1
U.G.B.** (GHz)	13.05	13.13	16.14	13.13	12.93
S11 (dB)	-18.4	-20.5	-20.6	-19.7	-18.7
S22 (dB)	-16.7	-16.9	-17.7	-16.8	-19.2
Power (mW)	16.5	17.7	15.1	15.7	17.9
Area (mm^2)	1.33	1.26	1.26	1.28	1.10

**Unity Gain Bandwidth *NF=Number of Finger



شکل ۸- مقادیر S21 ، S11 و S22 سه جواب مختلف

۶– مراجع

[1] Hee-Tae Ahn, David J. Allstot; "**A 0.5–8.5-GHz Fully Differential CMOS Distributed Amplifier**", IEEE J. of Solid-State Circuits, Vol. 37, No. 8, August 2002.

[2] Kambiz K. Moez, and Mohamed I. Elmasry; "**CMOS Distributed Amplifiers: An Integrated Solution for Broadband Optical and Wireless Communication Applications**", Second IFIP International Conference, Wireless and Optical Communications Networks, 2005.

[3] Tao Wang and et al.; " **A Micro machined CMOS Distributed Amplifier by CMOS Compatible ICP Deep-Trench Technology**", IEEE Electron Device Letters, Vol. 27, No. 4, April 2006.

[4] B. Razavi; **Design of Integrated Circuits for Optical Communications, McGraw-Hill**, 1st ed, September 2002.

[5] Rony E. Amaya, N.G. Tam and Calvin Plett; "**A 27 GHz Fully Integrated CMOS Distributed Amplifier using Coplanar Waveguides**", IEEE Radio Frequency Integrated Circuits Symposium, 2004.

[6] 0.18UM Logic 1P6M Salicide 1.8V/3.3V Spice Acture Company, Doc. T-018-MM-SP-001.

[7] Abbas Golmakani, Habib Rajabi Mashhadi and Khalil Mafi nejad; "**A new method in optimization of analog integrated circuits by Pareto-based Multi-Objective Genetic Algorithm**", 15th Iranian Conference on Electrical Engineering (ICEE), 2007.

[8] E. Zitzler: Evolutionary Algorithms for Multiobjective Optimization: Methods and Applications. Ph.D. thesis, Shaker Verlag, Aachen, Germany, 1999.

[9] K. Deb: **Multi-Objective Optimization Using Evolutionary Algorithms**, John Wiley and Sons, 2001.

10] Josef Shohat, Ian D. Robertson and Steve J. Nightingale; "**Investigation of Drain-Line Loss and the S22 Kink Effect in Capacitively Coupled Distributed Amplifiers**", IEEE Trans. on Microwave Theory and Techniques, Vol. 53, No. 12, Dec. 2005.

۷– پی‌نوشت‌ها

1- Distributed Amplifiers
2- Ultra Wide Band
3- System on a Chip
4- Monolithic Microwave Integrated Circuits
5- Taiwan Semiconductor Manufacturing Company
6- Distributed Pareto-Based Multi Objective Genetic Algorithm
7- Cost Functions
8- Update
9- Dominated
10- Elitism
11- Cross Over
12- Mutation
13- Selection
14- Roulette Wheel