بهبود رسانای خروجی ترانزیستورهای PD SOI MOSFET با طول کانال ۴۵ نانومتر با استفاده از شبیه‌سازی سه‌بعدی

آرش دقیقی[۱]، آذر فرجزاده[۲]
۱- استادیار، دانشکده برق، دانشگاه آزاد اسلامی، واحد شهر مجلسی، daghighi-a@eng.sku.ac.ir
۲- دانشجوی کارشناسی ارشد، دانشکده برق، دانشگاه آزاد اسلامی، واحد نجف آباد، azar.farajzadeh@gmail.com

چکیده

این مقاله برای اولین بار بهبود رسانایی خروجی ترانزیستورهای Partially Depleted SOI MOSFET با مقیاس ۴۵ نانومتر با استفاده از اتصال بدنه لوزی شکل را بیان می‌کند. نتایج شبیه‌سازی سه‌بعدی برای ماسفت‌های اتصال بدنه به سورس با اتصال بدنه لوزی شکل و اتصال بدنه مرسوم بیان‌شده‌است. ترانزیستور دارای اتصال بدنه مرسوم شامل یک ناحیه مستطیل شکل دارای کاشت ناخالصی از نوع +p در سورس ترانزیستور از نوع N می‌باشد. در ترانزیستور با اتصال بدنه لوزی شکل، دو ناحیه با کاشت یونی +p به شکل لوزی استفاده شده است. شبیه‌سازی‌ها نشان می‌دهد که در ترانزیستور اتصال بدنه لوزی شکل، اثرات بدنه شناور خنثی شده است. علاوه‌براین، جریان درین (I_{ds}) در ناحیه خطی کار ترانزیستور افزایش پیداکرده است. به‌علاوه، شبیه‌سازی سه‌بعدی سیگنال کوچک‌ترانزیستور، بیانگر کاهش رسانایی خروجی (g_{ds}) در ترانزیستورهای با بدنه لوزی شکل به میزان ۲۴٪ می‌باشد. فرکانس گذار رسانایی خروجی مربوط به مقاومت بدنه در ترانزیستور با اتصال بدنه لوزی شکل به ۲/۵ برابر مقدار آن در ترانزیستور با اتصال بدنه مرسوم افزایش پیدا کرده‌است. این افزایش، امکان استفاده از ماسفت‌ها با اتصال بدنه لوزی شکل در فرکانس‌های بالاتر با بهره ذاتی بیشتر را فراهم می‌نماید.

واژه‌های کلیدی

ماسفت SOI، شبیه‌سازی سه‌بعدی، رسانایی خروجی، اتصال بدنه، مقاومت بدنه

۱– مقدمه

با پیشرفت تکنولوژی‌های زیر میکرومتر، صنعت الکترونیک در جهت کاهش ابعاد ترانزیستورها و بکاربردن ادوات سیلیکونی در مقیاس بزرگ مجتمع‌سازی پیش می‌رود. مدارات مجتمع غالباً بر روی لایه ضخیمی از سیلیکون ساخته می‌شوند که اصطلاحاً به آن تکنولوژی بدنه سیلیکون[۱] گفته می‌شود. اما با کوچکترشدن ابعاد ادوات، مشکلات قابل ملاحظه‌ای از جمله کمترشدن سرعت سوئیچینگ و بالارفتن توان مصرفی در طراحی مدارات مجتمع به‌وجود آمده‌است. بنابراین نیاز به یک تکنولوژی جدید که دارای عملکرد بهتری نسبت به تکنولوژی بدنه سیلیکون باشد به‌وجود آمده‌است.

تکنولوژی سیلیکون روی عایق[۲] یکی از مناسب‌ترین تکنولوژی‌های پیشنهاد شده برای جایگزینی با تکنولوژی بدنه سیلیکون می‌باشد [۱]. از مقایسه ساختار ماسفت بالک با ماسفت سیلیکون روی عایق به تفاوت اصلی بین دو تکنولوژی، که وجود یک لایه عایق در تکنولوژی سیلیکون روی عایق است، پی می‌بریم. لایه عایق باعث ایجاد ویژگی‌های فراوانی در ادوات سیلیکون روی عایق

می‌شود. از جمله می‌توان به‌سرعت بالا، ولتاژ تغذیه پایین و در نتیجه آن توان مصرفی کم مدارات ساخته شده تحت این تکنولوژی اشاره نمود.

مدارات دیجیتال از قبیل حافظه‌ها و ریزپردازنده‌ها بهبود ۱۵ تا ۲۰ درصد را در فرکانس کاری خود، با بکارگیری این تکنولوژی خواهند داشت [۲]. کاهش خازن‌های پارازیتی سورس و درین، جلوگیری از جریان‌های نشتی به‌علت کیفیت بالاتر پیوندهای کم‌عمق، بهبود هدایت انتقالی، کاهش اثرات کانال کوتاه و شیب زیرآستانه بهتر از دیگر مزایای این تکنولوژی محسوب می‌شود. هر چند وجود یک لایه عایق که ترانزیستور را از لحاظ الکتریکی نسبت به بدنه نیمه‌هادی ایزوله می‌کند، عامل اصلی برتری این تکنولوژی نسبت به تکنولوژی بدنه سیلیکون است، اما این لایه عایق باعث بروز عیوبی می‌شود که پدیده خودگرمایی [۳] و بدنه شناور [۴] از جمله آنها می‌باشد.

پدیده خودگرمایی در اثر هدایت گرمایی بسیار پایین‌تر لایه عایق (معمولاً اکسید سیلیکون) در مقایسه با لایه نیمه‌هادی سیلیکون به‌وجود می‌آید. این ویژگی باعث کاهش انتقال گرما به لایه‌های زیرین ترانزیستور و بالارفتن درجه حرارت در ادوات و به‌وجود آمدن پدیده خودگرمایی می‌گردد. از آنجایی که ابعاد ادوات در حال کاهش به‌سمت چندین نانومتر می‌باشد، اثر خودگرمایی به دلیل افزایش چگالی میدان الکتریکی و کاهش حجم موجود سیلیکون جهت برطرف‌کردن گرما بیشتر خودش را نشان می‌دهد.

پدیده خودگرمایی باعث کاهش قابلیت تحرک حامل‌ها، جریان درین و ولتاژ آستانه ترانزیستورهای ماسفت می‌گردد. پدیده بدنه شناور[۳] یکی دیگر از تفاوت‌های تکنولوژی SOI می‌باشد که هنگامی صورت می‌گیرد که هیچ تماس بدنه‌ای وجود نداشته باشد. دراین‌صورت حفره‌های ایجاد شده در اثر یونیزاسیون برخوردی در ناحیه فشردگی کانال در بدنه ترانزیستور جمع می‌شوند. انباشته شدن حفره‌ها، باعث افزایش تدریجی ولتاژ بدنه می‌شود. این افزایش تدریجی باعث بروز رفتار غیرخطی در مشخصه خروجی ترانزیستور می‌گردد. اثرات بدنه شناور باعث فعال‌شدن اثرات دوقطبی می‌گردد و جریان کانال را تحت تأثیر قرار می‌دهد. پدیده بدنه شناور باعث افزایش اثرات گذرا، هیسترزیس، کاهش ولتاژ آستانه و کاهش ولتاژ شکست درین می‌گردد.

راه گریز از مشکلات اثرات بدنه شناور استفاده از اتصال بدنه[۴] می‌باشد. با اتصال ناحیه سیلیکون در زیر گیت مابین سورس و درین به یک ولتاژ خارجی، اثر جهش ناگهانی جریان به‌طور مؤثری متوقف می‌شود. به‌علاوه با اتصال مناسب بدنه، کلیه اثرات بدنه شناور که از آنها نام برده شد، حذف می‌گردد یا به حداقل رسانده می‌شود.

ما در این مقاله به بررسی دو روش ایجاد اتصال بدنه در ماسفت‌های PD SOI با طول کانال ۴۵ نانومتر می‌پردازیم. دو ترانزیستور با طول و عرض کانال یکسان را درنظر گرفته و با استفاده از شبیه‌سازی سه‌بعدی، تأثیر هرکدام از انواع روش‌های اتصال بدنه را بر روی مشخصه جریان خروجی و ولتاژ بدنه بررسی می‌نماییم. در آخر، مدل سیگنال کوچک ترانزیستور از سمت درین را بررسی کرده، با استفاده از شبیه‌سازی سیگنال کوچک، رسانایی خروجی هر دو ترانزیستور را بدست آورده، بهبود مشخصه خروجی را نشان خواهیم داد.

۲– مدل شبیه‌سازی سه‌بعدی

تماس بدنه در ناحیه سورس در ماسفت‌های PD SOI با ساختار بدنه متصل به سورس[۵] باعث تغییرات در مشخصه قطعه می‌گردد. بدلیل مقاوت بالای بدنه این ترانزیستورها، بدنه به‌طور یکسان به پتانسیل زمین متصل نیست. از این‌رو حفره‌های ایجادشده در فرآیند یونیزاسیون به‌سمت اتصال بدنه حرکت می‌کنند و سبب ایجاد شیب پتانسیل درامتداد پهنای قطعه می‌گردد. افزایش پتانسیل بدنه سبب کاهش ولتاژآستانه، و افزایش جریان کانال می‌گردد. هدایت گرمایی پایین درلایه اکسید زیر فیلم سیلیکون در ماسفت‌های SOI باعث اثر خودگرمایی می‌گردد که به‌شدت بر موبیلیتی حامل‌ها اثر می‌گذارد. با شبیه‌سازی دوبعدی امکان بررسی صحیح مشخصه I-V، پتانسیل دقیق حامل‌ها و توزیع بار وجود نداشت. از این‌رو لازم است که ازشبیه‌سازی سه‌بعدی برای آنالیز این مشخصات استفاده گردد. شکل (۱) ساختار یک ماسفت با اتصال بدنه مرسوم را نشان می‌دهد.

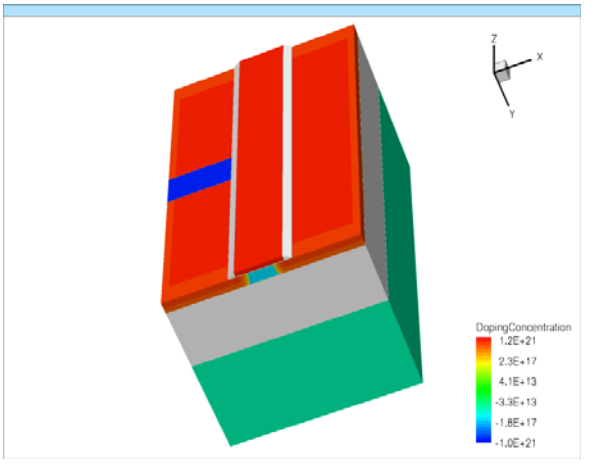
همان‌طور که دیده می‌شود در اتصال بدنه مرسوم، یک ناحیه p^+ در سورس ترانزیستور قرار داده شده است. این ناحیه به‌قسمت بدنه ترانزیستور در زیر گیت متصل شده است و حفره‌های ایجاد شده در پدیده یونیزاسیون برخوردی از طریق اتصال بدنه به اتصال سورس منتقل می‌شوند. شکل (۲) ساختار یک ماسفت با اتصال بدنه لوزی شکل را نشان می‌دهد. همان‌طور که دیده می‌شود در این ترانزیستور از دو ناحیه p^+ که در یک سمت به شکل لوزی می‌باشند استفاده شده است [۵]. این روش اتصال دارای چندین مزیت بوده که از جمله آن‌ها می‌توان به افزایش جریان درین و کاهش سطح سیلیکون اشغال شده توسط ترانزیستور اشاره کرد [۵]. اتصال بدنه کوچک در نوک لوزی امکان عبور حفره‌ها از این ناحیه را فراهم می‌نماید. علاوه‌بر این، شکل این ناحیه باعث می‌شود که عرض مؤثر ترانزیستور دارای اتصال بدنه لوزی شکل بیشتر شده، جریان بیشتری در ناحیه اشباع ترانزیستور از خود عبور دهد. این به‌دلیل افزایش عرض مؤثر کانال (W_{eff}) در این ترانزیستور در مقایسه با

ترانزیستوری که از روش‌های مرسوم اتصال بدنه استفاده شده، می‌باشد.

مدل استفاده شده برای شبیه‌سازی سه‌بعدی، مدل غیر هم‌دمای دریفت-دیفیوژن[۶] می‌باشد [۶]. از آنجا که اثرات خودگرمایی باعث تغییر قابلیت تحرک شده و پدیده یونیزاسیون برخوردی را شدیداً تحت تاثیر قرار می‌دهد، درجه حرارت عامل تعیین‌کننده‌ای در ترانزیستورهای سیلیکون روی عایق می‌باشد. از این‌رو در شبیه‌سازی‌ها از مدل غیر همدما استفاده نموده‌ایم. مدل استفاده شده برای قابلیت تحرک حامل‌ها دارای وابستگی به غلظت ناخالصی، میدان الکتریکی عمودی و اشباع در میدان الکتریکی می‌باشد. همچنین عامل یونیزاسیون برخوردی نیز در شبیه‌سازی‌ها منظور شده است.

۳– بحث و نتایج شبیه‌سازی سه‌بعدی

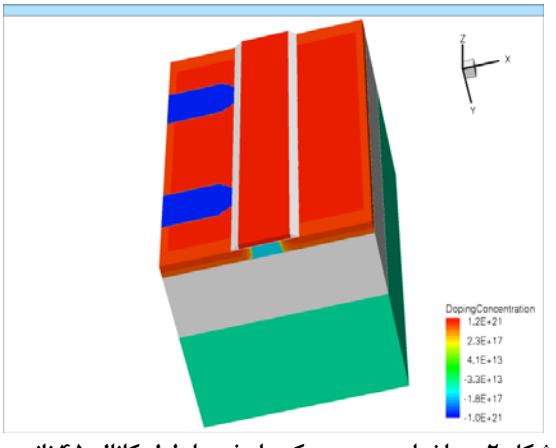
در این قسمت نتایج شبیه‌سازی ماسفت‌های با اتصال بدنه مرسوم و لوزی شکل بیان گردیده‌است. به این منظور ترانزیستور سیلیکون روی عایق با طول کانال ۴۵ نانومتر را درنظر گرفتیم. مشخصات ترانزیستور بدین صورت می‌باشد: ضخامت لایه سیلیکون ۷۵ نانومتر، ضخامت اکسید گیت ۱/۸ نانومتر، قطر لایه اکسید سیلیکون ۰/۳ میکرومتر، طول گیت ۴۵ نانومتر. عرض گیت برای همه ترانزیستورها یکسان و برابر با ۰/۴ میکرومتر انتخاب گردید.



شکل ۱- ساختار سه‌بعدی یک ماسفت با طول کانال ۴۵ نانومتر با اتصال بدنه مرسوم

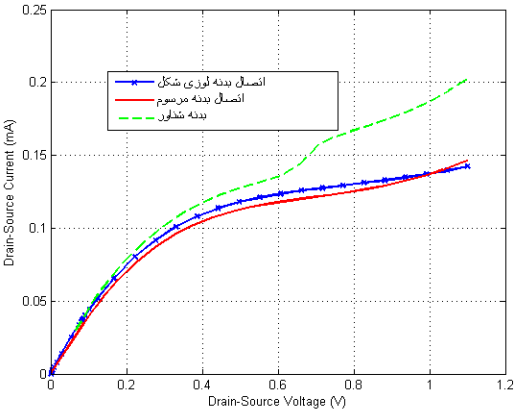
سه ترانزیستور با بدنه شناور، با اتصال بدنه مرسوم و اتصال بدنه لوزی شکل درنظر گرفته شد. ولتاژ بستر برابر صفر و ولتاژ گیت - سورس و درین - سورس به ۱/۱ ولت رسانده شد. شکل (۳) نشان‌دهنده رابطه جریان درین برحسب ولتاژ درین می‌باشد. همان‌طور که در این شکل دیده می‌شود، در مشخصه خروجی ترانزیستور بدنه شناور اثر کینک[۷] دیده می‌شود. این اثر در ترانزیستورهای دارای اتصال بدنه، کاملاً حذف شده است. همان‌طور که در شکل (۳) دیده می‌شود، با افزایش ولتاژ درین به مقادیر بیشتر از ۱ ولت، جریان درین در ترانزیستور با اتصال بدنه مرسوم بیشتر از جریان ترانزیستور با اتصال بدنه لوزی شکل می‌گردد. این افزایش تدریجی به‌دلیل افزایش پدیده یونیزاسیون برخوردی در ناحیه فشردگی کانال می‌باشد.

حفره‌های تولیدشده در اثر این پدیده (I_{ii}) به‌سمت بدنه ترانزیستور حرکت کرده و از طریق مقاومت غیرخطی بدنه به اتصال سورس منتقل می‌شوند. افزایش جریان حفره‌ها باعث افزایش تدریجی ولتاژ بدنه که به‌طور تقریبی برابر حاصل‌ضرب مقاومت بدنه در جریان I_{ii} می‌باشد، می‌گردد. افزایش ولتاژ بدنه به‌ازای مقادیر ولتاژ درین بیش از ۱ ولت باعث کاهش ولتاژ آستانه (V_{th}) در ترانزیستورهای با اتصال بدنه مرسوم می‌گردد. کاهش ولتاژ آستانه در این ترانزیستورها باعث افزایش تدریجی جریان درین می‌شود. این تغییرات جریان درین - سورس در طراحی‌های مدارت آنالوگ مطلوب نمی‌باشد. زیرا باعث کاهش مقاومت خروجی و درنتیجه کاهش بهره ذاتی در این ترانزیستورها می‌گردد.

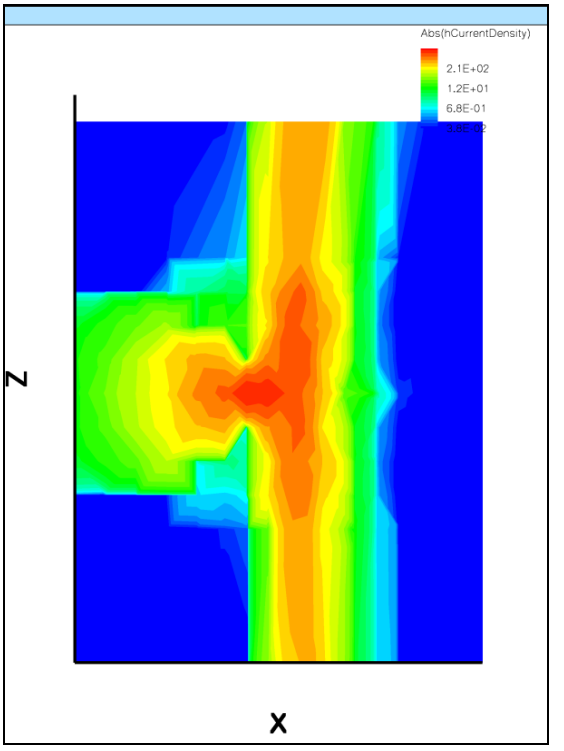


شکل ۲- ساختار سه‌بعدی یک ماسفت با طول کانال ۴۵ نانومتر با اتصال بدنه لوزی شکل

در شکل (۴) جریان حفره‌ها در ناحیه بدنه ترانزیستور نزدیک به لایه اکسید پشتی جایی که بیشتر حفره‌ها جمع می‌شوند، نشان داده شده است. همان‌طور که در این شکل دیده می‌شود، حفره‌ها از ناحیه اتصال بدنه لوزی شکل به بیرون از ترانزیستور منتقل می‌شوند.

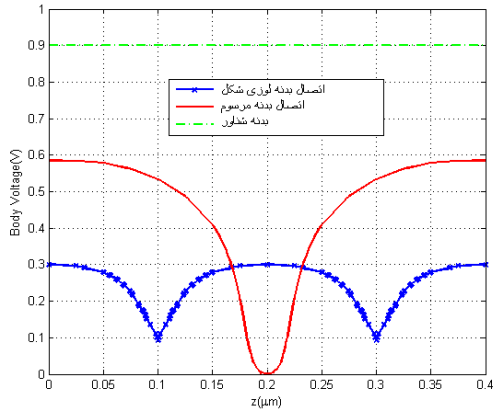


شکل ۳- جریان کانال برحسب ولتاژ درین سورس در سه نوع ماسفت بدنه شناور، اتصال بدنه مرسوم و لوزی شکل، W=0.4 µm و L=45 nm



شکل ۴- چگالی جریان حفره‌ها در ناحیه بدنه ترانزیستور با اتصال بدنه لوزی شکل

ولتاژ بدنه ساختارهای ۳ بعدی شبیه‌سازی شده در شکل (۵) در شرایط $V_{gs}=V_{ds}=1.1$ V نشان داده شده است. تغییرات این ولتاژ در طی عرض ترانزیستورها و در قسمتی از بدنه ترانزیستور که نزدیک به گیت پشتی می‌باشد بدست آمده است. ترانزیستور بدنه شناور دارای حداکثر ولتاژ بدنه برابر ۰/۹ ولت می‌باشد. این مقدار، ولتاژ آستانه فعال‌سازی دیود بدنه-سورس می‌باشد که در این ولتاژ به‌صورت بایاس مستقیم قرار گرفته است. این ولتاژ بدنه در ترانزیستور با اتصال بدنه مرسوم به مقدار حداکثر ۰/۵۸ ولت می‌رسد. این همان ولتاژی است که در آن افزایش تدریجی جریان درین دیده می‌شود. مقدار حداکثر ولتاژ بدنه برای ترانزیستور دارای اتصال بدنه لوزی شکل ۰/۳ ولت می‌باشد. این کاهش ولتاژ بدنه به مقدار ۴۸٪ دلیل بر کنترل ولتاژ بدنه در ترانزیستورهای با اتصال بدنه لوزی شکل می‌باشد.



شکل ۵- پتانسیل بدنه برای ماسفت‌های بدنه شناور، ماسفت با اتصال بدنه مرسوم و اتصال بدنه لوزی شکل

رسانایی خروجی (g_{ds}) یک پارامتر مهم در میزان بهره مدارات آنالوگ می‌باشد. تأثیرات چگونگی تماس بدنه در رسانایی خروجی قابل توجه است. شکل (۶) مدار معادل ساده شده ترانزیستور PD SOI که از ترمینال درین مشاهده شده است را نشان می‌دهد [۷]. در این مدار، گیت و سورس به‌هم متصل شده‌اند. در این شکل g_{js} و g_{jd} رسانایی تماس پیوند سورس-بدنه و درین-بدنه، C_{bd} و C_{bg} خازن‌های بدنه-درین و بدنه-گیت و g_{bds} رسانایی مربوط به جریان یونیزاسیون برخوردی می‌باشند. با استفاده از این مدار معادل می‌توان رابطه رسانایی خروجی را به‌صورت زیرنوشت [۸]:

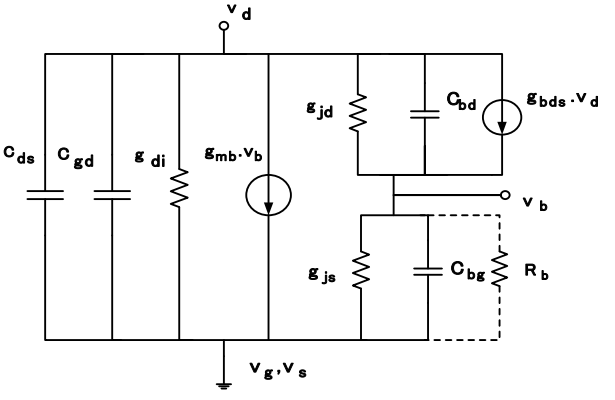
$$g_d = g_{di} + g_{mb}\frac{g_{js}g_{bds} + \omega^2 C_{bd}(C_{bd}+C_{bg})}{g_{js}^2 + \omega^2(C_{bd}+C_{bg})} \qquad (۱)$$

در این رابطه g_{di} رسانایی ذاتی خروجی می‌باشد. رابطه (۱) دارای یک جفت صفر و قطب می‌باشد که هرکدام از طریق روابط زیر بدست می‌آیند:

$$f_0 = \frac{1}{2\pi}\sqrt{\frac{g_b g_{bds}}{C_{bd}+(C_{bd}+C_{bg})}}$$

$$f_p = \frac{g_b}{2\pi(C_{bd}+C_{bg})} \qquad (۲)$$

در این روابط از g_b به‌جای g_{js} که مقدار خیلی بزرگتری دارد استفاده شده است. از آنجایی که معمولاً g_b بسیار بیشتر از g_{bds} می‌باشد، از این روابط نتیجه گرفته می‌شود که f_p بزرگتر از f_0 می‌باشد. رابطه (۲) بیانگر این است که فرکانس قطب رسانایی خروجی وابستگی مستقیم به مقاومت بدنه دارد. ازاین‌رو برای تحلیل بیشتر ساختار ترانزیستورهای با اتصال بدنه لوزی شکل و مرسوم، شبیه‌سازی سیگنال کوچک انجام گرفت. بدین منظور متغیرهای پتانسیل الکتریکی، جریان الکترون‌ها و حفره‌ها و دمای ترانزیستور در ولتاژ بایاس ۱/۱ ولت ذخیره گردید و بعداً شبیه‌سازی سیگنال کوچک انجام گرفت تا تغییرات رسانایی خروجی برحسب فرکانس بدست آید.

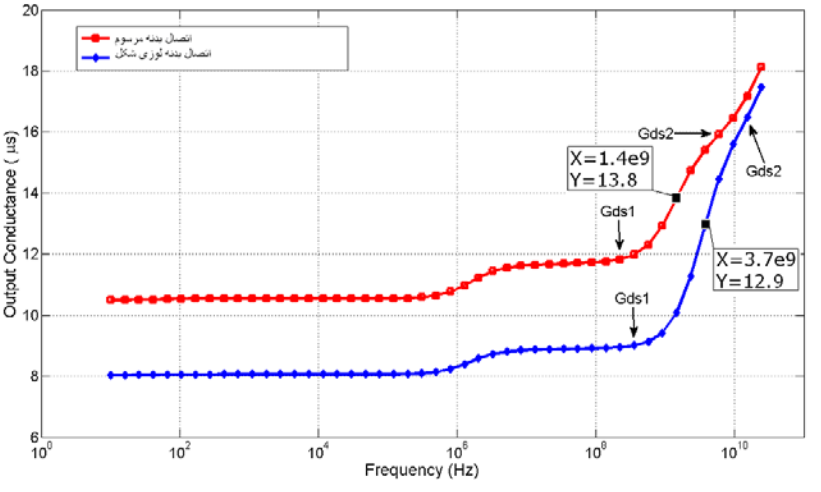


شکل ۶- مدار معادل یک ماسفت PD SOI از پایانه درین در حالیکه گیت و سورس به‌هم متصل شده‌اند

شکل (۷) نمودار تغییرات فرکانس خروجی برای هر دو ترانزیستور دارای اتصال بدنه را نشان می‌دهد. برای بدست آوردن رسانایی خروجی، فرکانس از ۱۰ هرتز تا ۲۰ گیگاهرتز افزایش داده شد و مشخصه g_{ds} برحسب فرکانس بدست آمد. همان‌طور که در این شکل دیده می‌شود، ترانزیستور با اتصال بدنه لوزی شکل، کاهش رسانایی خروجی به میزان ۲۴٪ در مقایسه با ترانزیستور با اتصال بدنه مرسوم دارد. کاهش رسانایی در این ترانزیستورها به منزله بهره بیشتر برای مدارات آنالوگ می‌باشد. علاوه‌بر این، تغییراتی که در رسانایی در فرکانس‌های بین 10^8 تا 10^{10} هرتز دیده می‌شود، توسط رابطه (۱) پیش‌بینی شده است. همان‌طور که در شکل مشخص است رسانایی از مقدار G_{ds1} به G_{ds2} تغییر می‌کند. فرکانس قطب f_p در ترانزیستور با اتصال بدنه مرسوم ۱/۴ گیگاهرتز و در تزانزیستور با اتصال بدنه لوزی شکل ۳/۷ گیگاهرتز می‌باشد. این نتیجه با رابطه (۲) که در آن وابستگی فرکانس قطب به مقاومت بدنه نشان داده شده است مطابقت دارد زیرا در ترانزیستور با اتصال بدنه لوزی شکل مقاومت اتصال بدنه کاهش یافته است. افزایش ۲/۵ برابری این فرکانس گذار به‌منزله امکان استفاده از این ترانزیستور در پهنای باند بزرگتر با بهره ذاتی بیشتری می‌باشد.

۴- نتیجه‌گیری

ساختار ماسفت سیلیکون روی عایق با تماس بدنه مرسوم و ماسفت با تماس بدنه لوزی شکل بیان گردید. نتایج شبیه‌سازی سه‌بعدی از ماسفت سیلیکون روی عایق با طول کانال ۴۵ نانومتر نشان‌دهنده این می‌باشد که ماسفت سیلیکون روی عایق با تماس بدنه لوزی شکل از نظر مشخصه جریان، پتانسیل بدنه و رسانایی خروجی، عملکرد بهتری نسبت به ماسفت با تماس بدنه مرسوم دارد. از آنجایی که رسانایی خروجی نقش اساسی درتعیین بهره مدارات آنالوگ دارد، لذا ساختار ماسفت با تماس بدنه لوزی شکل با کاهش مقاومت بدنه، باعث کاهش رسانایی خروجی و امکان استفاده از آن در پهنای باند بزرگتری می‌گردد.



شکل ۷- رسانایی خروجی در هر دو ساختار ماسفت با اتصال بدنه مرسوم و لوزی شکل

۵– مراجع

[1] JP. Colinge; **Silicon-on-Insulator Technology Materials to VLSI**, Kluwer Academic Publishers, pp. 203-298, 2004.

[2] GG. Shahidi; **"SOI technology for the GHz era"**, IBM J Res & Dev., pp. 31-121, 2002.

[3] DA. Dallman, K. Shenai; **"Scaling constraints imposed by self-heating in sub-micron SOI MOSFET's"**, IEEE Trans. on Electron Devices, Vol. 42, No. 3, pp. 489 - 496, 1995.

[4] A. Nishiyama, O. Arisumi, M. Yoshimi; **"Suppression of the floating body effect in partially depleted SOI MOSFET's with SiGe source and its mechanism"**, IEEE Trans. on Electron Devices, Vol. 44, No. 12, pp. 2187 - 2192, 1997.

[5] A. Daghighi, Mohamed Osman, M. A. Imam, **"An area efficient body contact for low and high voltage SOI MOSFET devices"**, Solid-State Electronics, Elsevier Science, Vol. 52, pp. 196-204, 2008.

[6] DESSIS Manual, ISE integrated system engineering, Version 10.0, 2004.

[7] S. M. Sze; **Modern Semiconductor Device Physics**, John Wiley & Sons, Inc., pp. 159-166, 1998.

[8] Dimitri Lederer, Denis Flandre, Jean-pierre Raskin; **"High frequency degradation of body-contacted PD SOI MOSFET output conductance**: **Semiconductor Science and Technology"**, Vol. 5, pp. 469 - 472, 2005.

۶– پی‌نوشت‌ها

1- Bulk
2- Silicon On Insulator
3- Floating Body
4- Body Contact
5- Body-tied-Source
6- Non-isothermal Drift-Diffusion
7- kink effect