فناوری نوین اکسیدگیت با ضخامت نامتقارن برای کاهش جریان نشتی درین القاء شده از گیت در افزاره سیلیکان بر روی عایق در ابعاد نانو

محمدناصر مقدسی[۱]، زهرا آهنگری[۲]
۱- استادیار، دانشگاه آزاد اسلامی، واحد علوم و تحقیقات، mn_moghaddasi@yahoo.com
۲- مربی، دانشگاه آزاد اسلامی، واحد شهر ری، z.ahangari@gmail.com

چکیده

جریان درین القاء شده از گیت[۱] (GIDL) در ترانزیستور اثر میدانی سیلیکان بر روی عایق[۲] (SOI MOSFET) یکی از مؤلفه‌های اصلی جریان نشتی محسوب می‌شود. جریان GIDL نقش مهمی را در زمان نگهداری اطلاعات در سلول‌های DRAM و توان مصرفی در سوئیچ‌های ترانزیستوری ایفا می‌کند و به‌عنوان یکی از عوامل محدودکننده مقیاس‌پذیری افزاره‌های SOI MOSFET مطرح می‌شود. در این مقاله تکنیک جدیدی را برای کاهش جریان GIDL و به‌دنبال آن جریان حالت خاموش در افزاره SOI MOSFET در ابعاد نانو پیشنهاد می‌کنیم. با بکارگیری اکسید گیت با ضخامت نامتقارن می‌توان جریان GIDL را بدون از دست دادن جریان حالت روشن و کنترل گیت بر کانال کاهش داد. کاهش جریان نشتی موجب کاهش توان مصرفی در سوئیچ‌های ترانزیستوری می‌گردد. به‌علاوه نشان داده‌ایم که طول بهینه‌ای از کانال وجود دارد که به‌ازای آن جریان حالت خاموش کمینه می‌شود بدون آنکه جریان حالت روشن از دست برود.

واژه‌های کلیدی

ترانزیستور SOI MOSFET، تونل‌زنی باند به باند (BTBT)، جریان نشتی درین القاء شده از گیت (GIDL)، حافظه‌هایی با دسترسی تصادفی پویا (DRAM).

۱– مقدمه

کاهش ابعاد ترانزیستورها مزایایی نظیر افزایش چگالی ترانزیستورها در یک تراشه، افزایش جریان راه‌اندازی، بهبود هدایت انتقالی و بهبود فرکانس قطع ترانزیستور را دارد. لیکن با کاهش ابعاد ترانزیستورها، جریان حالت خاموش افزاره افزایش می‌یابد و مقیاس‌پذیری افزاره را محدود می‌کند. در ترانزیستور اثر میدانی سیلیکان بر روی عایق از آنجا که بستر از ناحیه کانال توسط یک اکسید ضخیم جدا می‌شود، جریان نشتی بستر حذف گردیده و مولفه‌های جریان نشتی، تنها جریان زیر آستانه و جریان GIDL می‌باشند. در افزاره‌های SOI MOSFET به‌دلیل تقویت جریان GIDL توسط ترانزیستور دوقطبی پارازیتی[۳] (PBT) ایجادشده در کانال، کاهش جریان حالت خاموش افزاره از اهمیت بالایی برخوردار است. لیکن در افزاره MOSFET توده‌ای (Bulk) ترانزیستور پارازیتی دوقطبی خاموش است. جریان GIDL موجب از دست رفتن اطلاعات در سلول‌های DRAM می‌گردد، لذا مطالعه‌ساز و کار و نیز بررسی روش‌های کاهش جریان GIDL ضروری است [۱] تکنیک‌های مختلفی برای کاهش این جریان پیشنهاد شده است که برخی از آنها عبارتند از: بهینه‌سازی شکل آلایش سورس/درین با بکارگیری توزیع آلایش تدریجی سورس/درین[۴] که جریان حالت روشن را کاهش می‌دهد [۲]، بکارگیری ساختار MOSFET با سورس - درین مرتفع[۵] که با انتقال میدان الکتریکی عمودی بیشینه

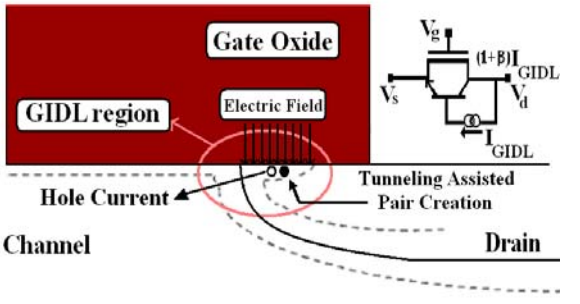
از محل وقوع GIDL به سمت درین، جریان GIDL را کاهش می‌دهد [۳]. استفاده از تکنیک سورس/ درین سالیساید شده در افزاره‌های SOI MOSFET که جریان GIDL تقویت شده توسط ترانزیستور دوقطبی پارازیتی را کاهش می‌دهد [۴].

در این مقاله روشی جدیدی که آن را اکسید گیت با ضخامت نامتقارن می‌خوانیم ارائه می‌دهیم که جریان GIDL را کاهش می‌دهد بدون آنکه باعث کاهش جریان حالت روشن شود. این روش به لحاظ تکنولوژی ساخت بسیار ساده است. جریان GIDL و ساز و کارهای مربوط به آن در بخش ۲ معرفی می‌گردد. در بخش ۳ ساختار افزاره پیشنهاد شده و مدل‌های بکار گرفته شده در شبیه‌سازی توضیح داده می‌شوند. در بخش ۴، مشخصه‌های الکتریکی افزاره پیشنهاد شده بررسی گردیده و درنهایت در بخش ۵ نتیجه‌گیری ارائه می‌شود.

۲– ساز و کار جریان GIDL

در ساختار SOI MOSFET با کانال نوع N، پدیده GIDL هنگامی رخ می‌دهد که ولتاژ درین-گیت (V_{DG}) مثبت شود. در واقع زمانی که ولتاژ درین مثبت و ولتاژ گیت صفر یا منفی باشد، حفره‌ها در سطح کانال انباشته می‌شوند. به‌علت حضور حفره‌های انباشته شده در سطح کانال، عرض ناحیه تخلیه شده در فصل مشترک درین - کانال در سطح، باریک‌تر از نقاط میانی کانال می‌گردد. درنتیجه میدان الکتریکی در ناحیه تخلیه شده افزایش یافته و ممکن است سبب تشدید اثرات میدان الکتریکی بالا شود [۵].

به‌علت مکانیزم شاکلی-رید-هال[۶] (SRH) زوج الکترون - حفره در ناحیه تخلیه شده درین - کانال به وجود می‌آیند. چنانچه در شکل (۱) نشان داده شده است.



شکل ۱- ناحیه وقوع پدیده GIDL.

الکترون‌ها توسط درین جمع‌آوری شده و جریان GIDL را به‌وجود می‌آورند. در ساختار MOSFET توده‌ای، حفره‌ها در کانال انباشته نمی‌شوند، به‌سمت بستر رفته و به جریان نشتی بستر اضافه می‌گردند. لیکن در ساختار SOI MOSFET از آنجا که بستر از ناحیه کانال جدا گردیده است جریان نشتی بستر حذف می‌شود. در این وضعیت حفره‌های تولید شده توسط مکانیزم SRH به درون کانال تونل زده و به سمت سورس می‌روند. در این حالت ممکن است حفره‌های ایجاد شده باعث روشن‌شدن ترانزیستور پارازیتی دوقطبی تشکیل شده در کانال شوند.

در این شرایط پیوند سورس - کانال نقش پیوند امیتر - بیس و درین نقش کلکتور PBT را ایفا می‌کند. با روشن شدن ترانزیستور پارازیتی دو قطبی، پیوند سورس - کانال در هدایت مستقیم قرارگرفته و باعث تزریق الکترون‌ها از سورس به کانال می‌گردد. این الکترون‌ها توسط درین جمع‌آوری شده و بدین ترتیب جریان GIDL تقویت می‌شود. حفره‌های تزریق شده به کانال به‌عنوان جریان بیس PBT عمل می‌کنند و جریان درین در این حالت برابر است با:

$$I_D = (1+\beta) I_{GIDL} \qquad (۱)$$

که β گین PBT می‌باشد [۶]، [۷]. مکانیزم اصلی جریان GIDL، تونل‌زنی نوار به نوار[۷] (BTBT) می‌باشد. در BTBT زوج الکترون - حفره در ناحیه تخلیه شده به‌علت تونل‌زنی الکترون‌ها از نوار ظرفیت به نوار هدایت تولید می‌شود و می‌توان نوشت [۸]:

$$I_{GIDL} = A E_S \exp(-\frac{B}{E_s}) \qquad (۲)$$

که A در آن عبارت است از :

$$A = \frac{q^2 . m_r^{1/2}}{18\pi . h^2 . E_G^{3/2}} \qquad (۳)$$

$m_r=0.2m_0$ و m_0 جرم موثر الکترون است، E_G شکاف نوار انرژی می‌باشد. B به‌صورت زیر تعریف می‌شود:

$$B = \frac{\pi . m_r^{1/2} . E_G^{3/2}}{2\sqrt{2} . q . h} = 21.3 \quad (\frac{MV}{cm}) \qquad (۴)$$

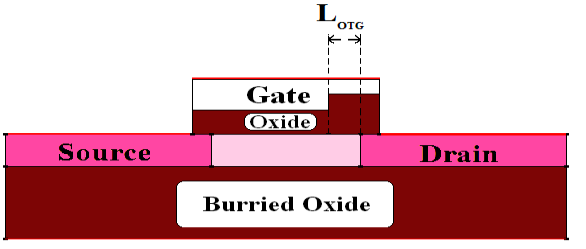
در این رابطه h ثابت پلانک و q بار الکترون است. Es میدان الکتریکی در ناحیه همپوشانی گیت - درین است و به‌صورت زیر بیان می‌شود:

$$E_S = \frac{\varepsilon_{SiO_2}}{\varepsilon_{Si}} . \frac{V_{DG} - 1.2}{T_{SiO_2}} \qquad (۵)$$

$TSiO_2$ ضخامت اکسید در ناحیه‌ای است که GIDL رخ می‌دهد. رابطه (۲) نشان می‌دهد که با کاهش میدان الکتریکی در ناحیه همپوشانی گیت - درین می‌توان GIDL را کاهش داد با توجه با این مطلب برای اولین بار با استفاده از اکسیدگیت نامتقارن توانستیم GIDL را به‌کمک کاهش E_S در محل وقوع GIDL کاهش دهیم.

۳– ساختار افزاره پیشنهاد شده

شکل (۲) ساختار افزاره SOI MOSFET را کـه در ایـن مقالـه مورد مطالعه قرار گرفته است نشان می‌دهد. شبیه‌سازی با استفاده از بسته نرم‌افزاری ISE TCAD انجام شده است [۹]. در این افزاره اثر میدان الکتریکی عمودی گیت، آلایش کانال و پراکنـدگی حامـل‌هـا بر قابلیت حرکت حامل‌ها در کانال لحاظ گردیده است. آلایش کانال برابـر $۸\times۱۰^{۱۶}\ cm^{-3}$ از نـوع بـور و آلایـش سـورس/ دریـن برابـر $۱۰^{۱۹}\ cm^{-3}$ از نوع آرسینک است. طول گیت و ضـخامت اکـسید در حالت متقارن نیز به‌ترتیب برابر ۸۰nm و ۳nm می‌باشند.

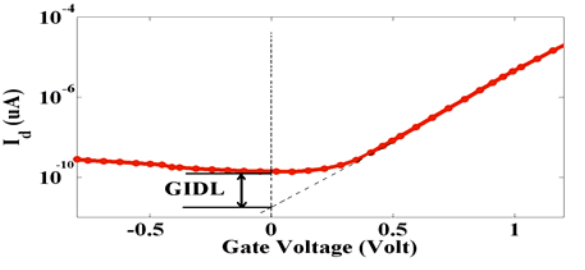


شکل ۲- ترانزیستور SOI MOSFET مورد مطالعه در این شبیه‌سازی

۴– مشخصه‌های الکتریکی

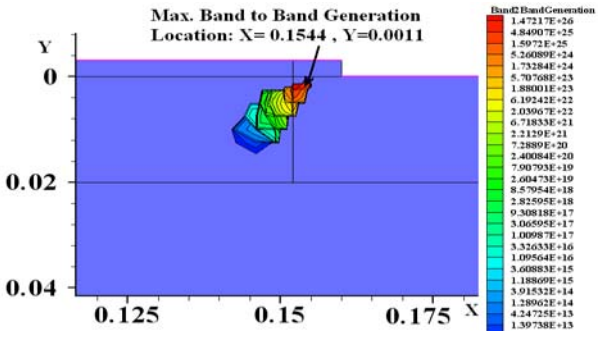
۴–۱– تحلیل جریان GIDL

در شکل (۳) منحنی I_D-V_{GS} در حالتی که GIDL رخ می‌دهد، نـشان داده شـده اسـت. در ایـن منحنـی جریـان GIDL خـود را به‌صورت یک قلاب نشان می‌دهد. همان‌طور که مـشاهده مـی‌کنـیم جریان GIDL سهم مهمی در افزایش جریان حالت خـاموش افـزاره دارد.

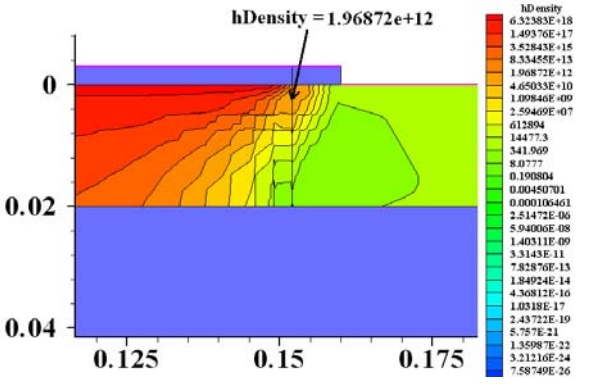


شکل ۳- مشخصه I_D-V_{GS} برای ساختار متقارن (ولت) VD= ۱

شکل (۴) BTBT را در محل وقوع GIDL نـشان مـی‌دهـد. در این حالت بیشینه مقدار BTBT در ناحیه همپوشانی گیت - دریـن اتفاق می‌افتد. تراکم حفره‌ها در ناحیـه وقـوع GIDL در شـکل (۵) نشان داده شده است.



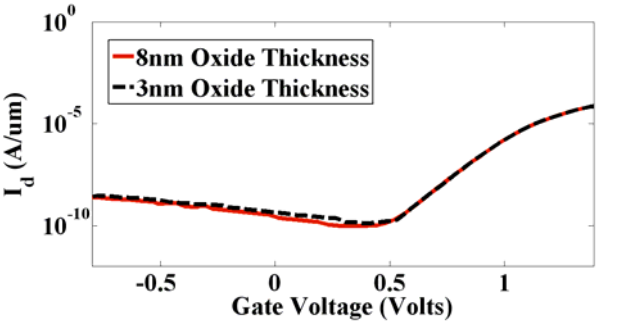
شکل ۴- BTBT برای ساختار متقارن در شرایطی که GIDL رخ می‌دهد.



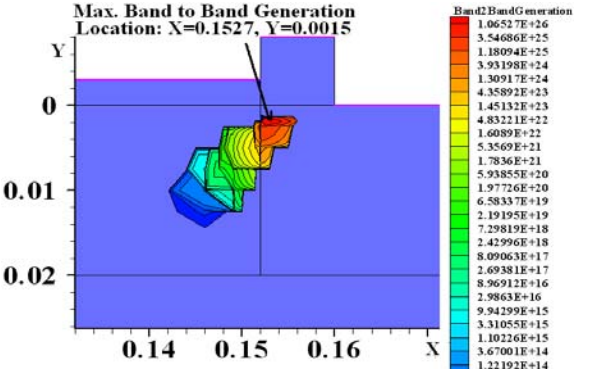
شکل ۵- تراکم حفره‌ها در کانال برای ساختار متقارن در شرایطی که GIDL رخ می‌دهد.

۴–۲– اثر اکسید گیت با ضخامت نامتقارن

با توجه به (۵) اگر در ناحیه همپوشانی گیت - درین $TSiO_2$ افزایش یابد در حالی‌که ε_{SiO2} (ثابت دی‌الکتریک) ثابت باشد، E_S کاهش پیدا کرده و در نتیجه جریان GIDL کم می‌شود. برای این منظور ابتدا ضخامت اکسید را تنها در محل همپوشانی گیت با درین از ۳nm در حالت متقارن به ۸nm در حالت نامتقارن افزایش داده‌ایم. چنانچه در شکل (۶) نشان داده شده است، جریان GIDL و به تبع آن I_{OFF} به میزان ۱/۵ برابر در مقایسه با حالتی که ضخامت اکسید متقارن است کاهش پیدا کرده است. شکل (۷) BTBT را به‌ازای $TSiO_2$=۸nm نشان می‌دهد. همان‌طور که مشاهده می‌کنیم، در مقایسه با حالت متقارن از BTBT کاسته شده که این پدیده منشاء کاهش جریان GIDL می‌باشد.



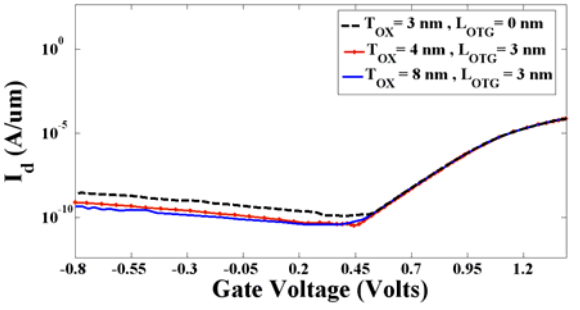
شکل ۶- I_D-V_{GS} برای حالت متقارن (T_{SiO2}= ۳ nm) و حالت نامتقارن(T_{SiO2}= ۸ nm) در ناحیه همپوشانی گیت – درین.



شکل ۷- BTBT در حالت نامتقارن به‌ازای T_{SiO2}= ۸ nm در ناحیه همپوشانی گیت – درین

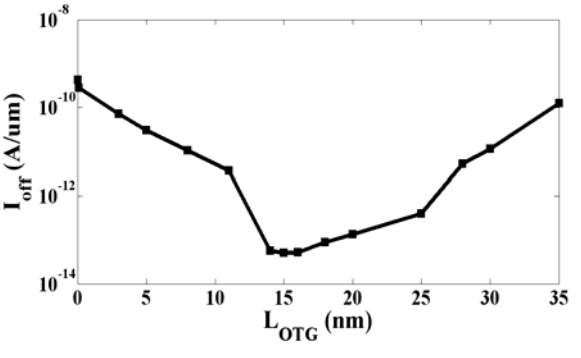
پدیده GIDL نه تنها در ناحیه همپوشانی گیت-درین بلکه در فصل مشترک کانال و درین نیز رخ می‌دهد (شکل (۱)). همان‌طور که ذکر شد سازوکار اصلی جریان GIDL، BTBT است. BTBT به عرض ناحیه تخلیه شده در محل وقوع GIDL بسیار وابسته است. به‌علت V_{DG} مثبت، حفره‌ها در سطح کانال انباشته می‌شوند. حفره‌های انباشته شده در سطح کانال باعث کاهش عرض ناحیه تخلیه شده در محل وقوع GIDL گردیده و درنتیجه میزان BTBT و به تبع آن جریان GIDL تقویت شده را افزایش می‌دهند. درصورتی که از میزان تراکم حفره‌ها در ناحیه فصل مشترک کانال-درین کاسته شود، جریان GIDL کاهش می‌یابد. جهت کاهش تراکم حفره‌ها در محل وقوع GIDL ضخامت اکسید گیت را در بخشی از طول کانال افزایش داده‌ایم. این بخش از کانال، L_{OTG} نام‌گذاری شده است.

به‌عنوان شروع به‌میزان ۳ nm داخل کانال وارد شده و ضخامت اکسید گیت و ناحیه همپوشانی گیت و درین را افزایش می‌دهیم (L_{OTG}=۳nm). در واقع هدف اصلی در این مقاله کاهش جریان GIDL و I_{OFF}، بدون از دست دادن جریان حالت روشن ترانزیستور و نیز ازدست‌دادن کنترل گیت بر کانال می‌باشد. شکل (۸) نمودار I_D-V_{GS} را به‌ازای L_{OTG}=۳nm و به‌ازای ضخامت اکسید مختلف نشان می‌دهد. به‌ازای T_{SiO2}=۸nm جریان I_{OFF} در مقایسه با حالتی که ضخامت اکسید گیت متقارن است تقریباً ۶ برابر کاهش یافته است. در واقع افزایش ضخامت اکسید در بخشی از طول کانال بسیار مؤثرتر از حالتی است که ضخامت اکسید را تنها در ناحیه همپوشانی گیت- درین بالا ببریم.



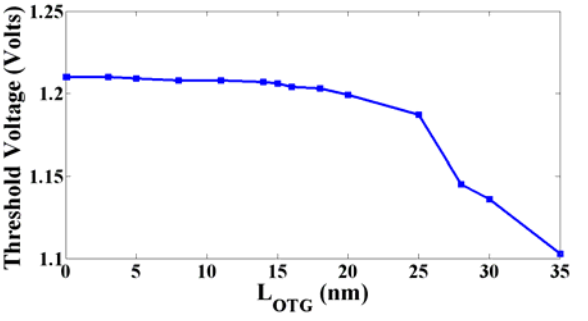
شکل ۸- منحنی I_D-V_{GS} به‌ازای L_{OTG} =۳nm و ضخامت‌های اکسید مختلف و مقایسه با حالت اکسید گیت با ضخامت متقارن(T_{SiO2}=۳nm)

جهت تعیین طول بهینه‌ای که به‌ازای آن جریان GIDL و در نتیجه I_{OFF} به کمترین مقدار خود می‌رسند، اکسید گیت ضخیم (T_{SiO2}=۸nm) را در طول کانال افزایش داده و در هر مرحله جریان حالت خاموش و نیز ولتاژ آستانه افزاره را محاسبه نموده‌ایم. نتایج بدست آمده نشان می‌دهند که به‌ازای L_{OTG}=۱۵nm، کمترین I_{OFF} بدست می‌آید. افزایش L_{OTG} به‌ازای مقادیر بالاتر از ۱۵nm منجر به ازدست‌دادن کنترل گیت بر کانال و در نتیجه غالب شدن سایر مولفه‌های جریان نشتی می‌گردد (شکل (۹)).



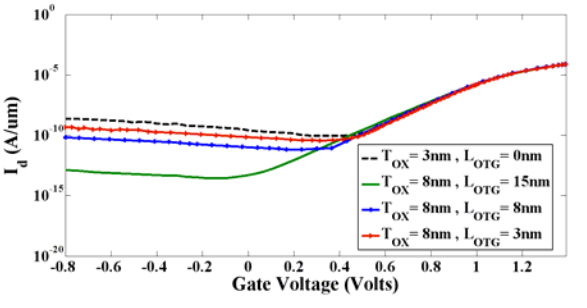
شکل ۹- نمودار I_{OFF} برحسب L_{OTG} به‌ازای T_{SiO2}= ۸ nm

شکل (۱۰) نمودار ولتاژ آستانه افزاره را برحسب L_{OTG} نشان می‌دهد. همان‌طور که مشاهده می‌کنیم ولتاژ آستانه به‌ازای L_{OTG} صفر تا ۱۵nm ثابت است لیکن به‌ازای مقادیر L_{OTG} بالاتر از ۱۵nm ولتاژ آستانه (V_T) به‌دلیل کاهش کنترل گیت بر کانال کاهش می‌یابد.



شکل ۱۰- نمودار V_T برحسب L_{OTG} به‌ازای T_{SiO2}= ۸ nm

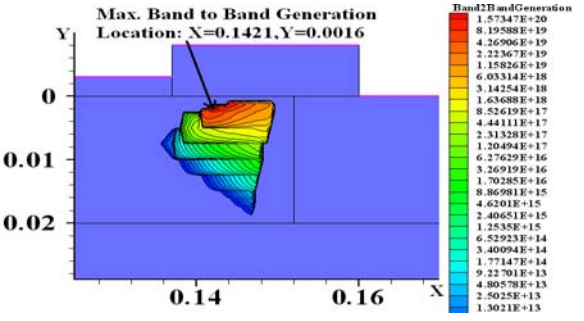
شکل (۱۱) نمودار I_D-V_{GS} را به‌ازای L_{OTG} مختلف و به‌ازای T_{SiO2}=۸nm نشان می‌دهد. با افزایش L_{OTG} تا ۱۵nm جریان GIDL کاهش و به تبع آن I_{OFF} نیز به میزان ۹۸ درصد نسبت به حالت متقارن کاهش می‌یابد.



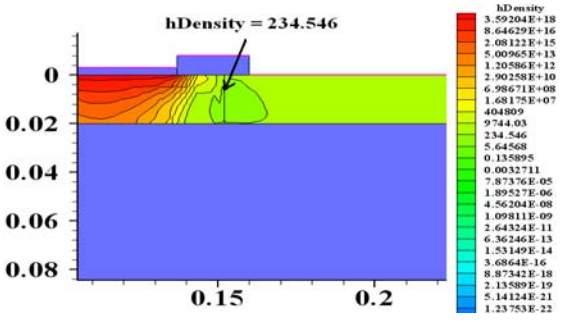
شکل ۱۱- نمودار I_D-V_{GS} به‌ازای L_{OTG} های مختلف و مقایسه با حالت اکسید گیت متقارن

شکل (۱۲) BTBT را به‌ازای L_{OTG}=۱۵nm نشان می‌دهد. همان‌طور که مشاهده می‌کنیم با افزایش L_{OTG} نه تنها از میزان BTBT کاسته می‌شود بلکه محل وقوع پدیده BTBT نیز از ناحیه همپوشانی گیت - درین به فصل مشترک درین - کانال انتقال می‌یابد. این جابجایی بیانگر افزایش عرض ناحیه تخلیه شده درین - کانال در سطح می‌باشد که به واسطه کاهش تراکم حفره‌ها در فصل مشترک درین - کانال به وجود آمده است.

تراکم حفره‌ها در زمان وقوع GIDL به‌ازای L_{OTG}=۱۵nm در شکل (۱۳) نشان داده شده است. همان‌طور که مشاهده می‌کنیم تراکم حفره‌ها نسبت به حالت متقارن کاهش می‌یابد.

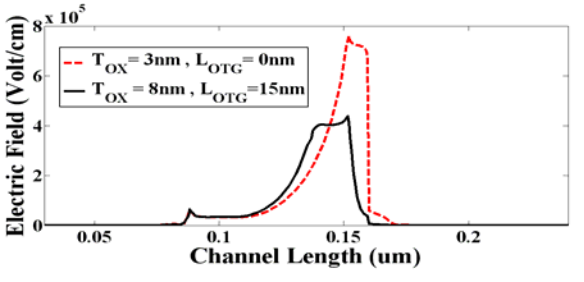


شکل ۱۲- BTBT به‌ازای L_{OTG}= ۱۵ nm و T_{SiO2}= ۸ nm



شکل ۱۳- تراکم حفره‌ها به‌ازای L_{OTG}= ۱۵ nm و T_{SiO2}= ۸ nm

شکل (۱۴) نمودار میدان الکتریکی را در طول کانال برای حالت متقارن و نیز به‌ازای LOTG =۱۵nm در TSiO2=۸nm نشان می‌دهد. به‌ازایL_{OTG}=۱۵ nm میدان الکتریکی در محل وقوع GIDL نسبت به‌حالت متقارن کاهش یافته است. کاهش میدان الکتریکی، کاهش جریان GIDL را طبق رابطه (۲) تأیید می‌کند.



شکل ۱۴- نمودار میدان الکتریکی در طول کانال برای ساختار متقارن T_{SiO2} = ۳ nm در مقایسه با L_{OTG}= ۱۵nm و ۸ nm T_{SiO2}=

۵– نتیجه‌گیری

در این مقاله تکنیک جدیدی برای کاهش جریان GIDL و در نتیجه I_{OFF} ارائه گردید. در این روش ضخامت اکسید گیت را در ناحیه همپوشانی گیت - درین و نیز بخشی از طول کانال افزایش داده‌ایم. با استفاده از این روش موفق به کاهش جریان GIDL و در نتیجه I_{OFF} به میزان ٪۹۸ نسبت به ساختار متقارن شده‌ایم. برای این افزاره طول L_{OTG} بهینه‌ای بدست آمد که به‌ازای آن کمترین میزان I_{OFF} بدون از دست دادن جریان حالت روشن حاصل شد. این ساختار می‌تواند موجب کاهش توان مصرفی در سوئیچ‌های ترانزیستوری گردد. بکارگیری این روش در فناوری ساخت CMOS ساده است.

۶–مراجع

[1] K. Saino ,S. Horbia, S. Uchiyama, Y. Takaishi, M. Takenda, T. Uchida, Y. Takada, K. Koyama, and C.Hu; **"Impact of Gate Induced Drain Leakage Current on the Tail Distribution of DRAM Data Retention Time"** IEEE Transactions on Electron Devices. Vol. 50, No. 4, pp. 1036-1041. Apr. 2003.

[2] K. Tanaka, K I. Takeuchi, M. Hane; **"Source/Drain Optimization of Double Gate FinFET Considering GIDL for Low Standby Power Devices"**, IEICE Trans. Electron, Vol. e90c, No. 4, pp. 842-847, 2007.

[3] K. W. Kim, C. S. Choi, W. Y. Choi; **"Analysis of a Novel Elevated Source Drain MOSFET with Reduced Gate Induced Drain Leakage Current"**, ECE department of Yonsei university, Seoul, Korea, 2000.

[4] T. Hoffman, G. Doornbos, I. Ferain, N. Collaert, P. Zimmerman, M. Goodwin, R. Rooyackers, A. Kottantharayil, Y. Yim, A. Dixit; **"GIDL (Gate Induced Drain Leakage) and Parasitic Schottky Barrier Leakage Elimination in Aggressively Scald hfo2/tin FinFET Devices"** International Electron Devices Meeting Technical Digest (IEDM), December 2005.

[5] K. Roy, S. Mukhopadhyay, H. Mahmoodi-Meimand; **"Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Sub Micrometer CMOS Circuits"**, PROC.IEEE, Vol. 91, No. 2, pp. 305-327, 2003.

[6] M. Chang, J. Lin, S. N. Shih, T. C. Wu, B. Huang, J. Yang, I. Lee; **"Impact of Gate Induced Drain Leakage on Retention Time Distribution of 256 Mbit DRAM with Negative Word Line Bias",** IEEE Trans.Electron devices, Vol. 50, No. 4, pp. 1036-1041, 2003.

[7] F. Gilbert, D. Rideau, A. Dray, F. Agut, M. Minondo, A. Juge, P. Masson, and F. Bouchakour; **"Characterization and Modelling of Gate Induced Drain Leakage",** IEICE trans., Vol. e88-c, No. 5, pp. 829-936, 2005.

[8] K. F. You, and C. Y. Wu; **"A New Quasi-2-D Model for Hot Carrier Band-To-Band Tunnelling Current",** IEEE Trans. electron devices, Vol. 46, No. 6, pp. 1174-1179, 1999.

[9] DESSIS7 user manuals.

۷– پی‌نوشت‌ها

1- Gate Induced Drain Leakage Current
2- Silicon On Insulator
3- Parasitic Bipolar Transistor
4- Gradual and Offset Source/Drain Profile
5- Raised Source/Drain
6- Hockley-Read-Hall
7- Band To Band Tunneling