

بررسی اثرات دمایی ترانزیستور ۴۵ nm سیلیکون روی الماس

آرش دقیقی^۱، شهین زمانی^۲

۱- استادیار، دانشکده برق و کامپیوتر، دانشگاه آزاد اسلامی، واحد شهر مجلسی، daghighi-a@eng.sku.ac.ir
 ۲- دانشجوی کارشناسی ارشد، دانشکده برق، دانشگاه آزاد اسلامی، واحد نجف آباد، shahin.zamani56@gmail.com

چکیده

در این مقاله مشخصه‌های دمایی زیرپایه‌های سیلیکون روی عایق (SOI) و سیلیکون روی الماس (SOD) با طول کانال ۴۵nm، با استفاده از شبیه‌سازی هیدرودینامیک مورد بررسی قرار گرفته است. از آنجا که الماس دارای هدایت گرمایی بسیار بالایی در مقایسه با اکسید سیلیکون بوده، لذا با انتقال سریع گرما در زیرپایه‌های سیلیکون روی الماس، دمای شبکه نسبت به زیرپایه‌های سیلیکون روی عایق بسیار افت کرده، به طوری که امکان استفاده از این زیرپایه‌ها را در شرایط دمایی یکسان و توان بالاتر فراهم می‌کند. از طرفی در مدارات مجتمع بر پایه تکنولوژی سیلیکون روی الماس، هدایت یکنواخت و سریع گرما توسط لایه الماس موجب همدمای شدن ترانزیستورهای کناری با دمای ترانزیستور فعال می‌گردد. در این مقاله برای اولین بار اثر عایق مدفون الماس در انتقال گرمای تولید شده به ترانزیستورهای کناری مورد بررسی قرار می‌گیرد. نتایج شبیه‌سازی بیانگر افزایش جریان خاموشی (Ioff) ترانزیستورهای کناری تا میزان ۸ برابر می‌باشد. این وابستگی دمایی، باعث افزایش جریان خاموشی ترانزیستورهای کناری و ایجاد مسئله عدم انطباق در مدارات مجتمع می‌گردد.

کلمات کلیدی

ماسفت، سیلیکون روی عایق، سیلیکون روی الماس، شبیه‌سازی هیدرودینامیک، اثر خودگرمایی

۱- مقدمه

با گسترش تکنولوژی ساخت ترانزیستورها در ابعاد نانو، ترانزیستورهای سیلیکون روی عایق^۱ در مقایسه با ترانزیستورهای بدنه سیلیکون^۲ مزیت‌های عمده‌ای از خود نشان می‌دهند که استفاده از آنها را برای مقاصد عملی تحت شرایط سخت کاری بسیار مطلوب می‌سازد. از جمله مزیت‌های این ترانزیستورها می‌توان کاهش مؤلفه جریان‌های نشتی، کاهش خازن‌های پیوند، بهبود اثرات کانال کوتاه، ایزوله بودن ترانزیستور، کاهش نویزپذیری و حذف اثر Latch-up نام برد [۱]. به‌خاطر اینکه این ترانزیستورها ۲۰٪ تا ۳۵٪ بهبود عملکردی در مقایسه با ترانزیستورهای بدنه سیلیکون از خود نشان می‌دهند بسیاری از شرکت‌های بزرگ برای ساخت مدارات مجتمع از این ترانزیستورها استفاده می‌نمایند. از این‌رو متخصصین، SOI را تکنولوژی منتخب برای کاربردهای سیستم روی چیپ^۳ می‌دانند [۲]. اما در این ترانزیستورها به‌دلیل وجود لایه اکسید سیلیکون، گرمای ایجاد شده در ترانزیستور مسیری برای خروج نداشته و این باعث به‌وجود آمدن اثر خودگرمایی در این ترانزیستورها می‌گردد [۳]. از این‌رو استفاده از زیرپایه‌های سیلیکون روی الماس^۴ برای ترانزیستورهای SOI پیشنهاد می‌گردد [۴]. از آنجایی که هدایت گرمایی بالا در الماس (۴۰۰۰ w/m.k) در مقایسه با ۱/۴w/m.k برای اکسید سیلیکون، ترانزیستورهای سیلیکون روی الماس را به‌عنوان جایگزین مناسبی برای نسل آتی ترانزیستورها معرفی کرده [۷ - ۵]. زیرپایه‌های SOD با هدایت گرمای ایجاد شده در سطح سیلیکون به پایه و از آنجا به محیط

متخصصین، SOI را تکنولوژی منتخب برای کاربردهای سیستم روی چیپ^۳ می‌دانند [۲]. اما در این ترانزیستورها به‌دلیل وجود لایه اکسید سیلیکون، گرمای ایجاد شده در ترانزیستور مسیری برای خروج نداشته و این باعث به‌وجود آمدن اثر خودگرمایی در این ترانزیستورها می‌گردد [۳]. از این‌رو استفاده از زیرپایه‌های سیلیکون روی الماس^۴ برای ترانزیستورهای SOI پیشنهاد می‌گردد [۴]. از آنجایی که هدایت گرمایی بالا در الماس (۴۰۰۰ w/m.k) در مقایسه با ۱/۴w/m.k برای اکسید سیلیکون، ترانزیستورهای سیلیکون روی الماس را به‌عنوان جایگزین مناسبی برای نسل آتی ترانزیستورها معرفی کرده [۷ - ۵]. زیرپایه‌های SOD با هدایت گرمای ایجاد شده در سطح سیلیکون به پایه و از آنجا به محیط

هیچ برهم کنشی بین نواحی تخلیه ناشی از بایاس گیت جلو و پشت در زیر فصل مشترک‌های جلو و پشت وجود نداشته و یک ناحیه خنثی در زیر نواحی تخلیه به وجود می‌آید. این ناحیه خنثی را بدنه می‌نامند. اگر بدنه توسط اتصال بدنه^۷ به زمین وصل گردد مشخصه‌های افزاره‌های SOI PD، دقیقاً همان مشخصه‌های افزاره‌های BULK می‌باشد. اگر بدنه، به صورت الکتریکی شناور رها گردد اثراتی که تحت عنوان اثرات بدنه شناور^۸ نامیده شده، ظاهر گردیده که موجب تاثیر بر مشخصه‌های افزاره‌های SOI PD می‌گردد. از جمله این اثرات می‌توان به اثر کینک^۹ اشاره کرد [۱]. در افزاره‌های SOI FD، ضخامت لایه سیلیکان از مقدار عرض لایه تخلیه کمتر است. در این حالت با اعمال ولتاژ آستانه به گیت جلویی، لایه سیلیکان صرف نظر از بایاس اعمال شده به گیت پشتی (به استثناء امکان تشکیل لایه نازک انباشته و معکوس در فصل مشترک پشتی به‌ازاء ولتاژهای بایاس بسیار منفی یا مثبت به گیت پشتی)، کاملاً تخلیه می‌گردد. در این افزاره‌ها، اگر فصل مشترک پشتی در مد انباشته قرار نگیرد، اثر کینک در آنها به وجود نمی‌آید.

۲-۲- ساختار ترانزیستورهای SOD

ساختار ترانزیستورهای SOD، کاملاً شبیه ترانزیستورهای SOI بوده با این تفاوت که به جای لایه اکسید سیلیکون در BOX، یک لایه الماس قرار می‌گیرد. ترانزیستورهای SOD نیز بسته به ضخامت و ناخالصی لایه کانال به دو دسته PD SOD و FD SOD تقسیم می‌گردند.

۳- تکنولوژی ساخت ترانزیستورهای SOD

زیرپایه‌های سیلیکون روی الماس را می‌توان با استفاده از ترکیب روش‌های رسوب بخار شیمیایی الماس به کمک پلاسما و پیوند زنی ویفر و یا رشد سیلیکان به روش روشانی جانبی تولید کرد. همچنین می‌توان با استفاده از روش فیلامان داغ، لایه الماس را بر روی سیلیکان رسوب داد [۹]. در مقالات چاپ شده [۱] روش ذوب ناحیه‌ای و تبلور مجدد^{۱۰} را به‌عنوان یکی از روش‌های ساخت ترانزیستورهای سیلیکون روی الماس بیان کرده است. در این روش ابتدا یک لایه پلی کریستال الماس با ضخامت ۱۰۰۰ نانومتر، با استفاده از رسوب بخار شیمیایی، بر روی یک بستر سیلیکانی آلایده شده با ناخالصی‌های نوع P و جهت‌گیری بلوری <۱۰۰>، رسوب داده می‌شود. سپس بر روی این لایه، یک لایه پلی کریستال سیلیکان با ضخامت ۱ میکرو متر با استفاده از روش ذوب ناحیه‌ای و تبلور مجدد رسوب داده می‌شود.

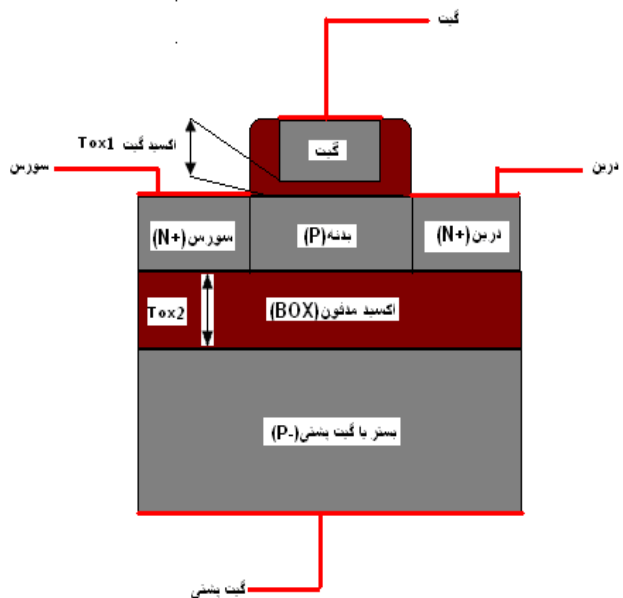
خارج، اثر خود گرمایی ترانزیستورهای SOI را به حداقل رسانده و در نتیجه باعث بهبود عملکرد این ترانزیستورها می‌شود [۸].

۲- ساختار ترانزیستورهای SOI و SOD

۲-۱- ساختار ترانزیستورهای SOI

در شکل (۱)، یک برش عرضی از یک ترانزیستور SOI با کانال نوع n نشان داده شده است. ناحیه بین نواحی سورس و درین، کانال نام داشته که همان ناحیه فعال ترانزیستور می‌باشد. T_{OX1} و T_{OX2} به ترتیب ضخامت اکسید گیت جلو و ضخامت لایه اکسید مدفون می‌باشد. ترانزیستور دارای ۴ ترمینال سورس، درین، گیت جلو و گیت پشتی (بستر) می‌باشد. در بعضی از کاربردها از ترمینال بدنه جهت اتصال ترانزیستور به زمین نیز استفاده گردیده به طوری که این ترانزیستور را، یک المان ۵ ترمیناله می‌نامند. به لایه اکسید مدفون در بین بدنه و بستر اصطلاحاً BOX می‌گویند. فیزیک ترانزیستورهای سیلیکون بر روی عایق، شدیداً وابسته به ضخامت و چگالی ناخالصی لایه سیلیکانی کانال است.

افزاره‌های SOI MOSFET به دو دسته اصلی تقسیم می‌شوند: افزاره که لایه سیلیکان در ناحیه کانال، به صورت کامل تخلیه نمی‌گردد^۵ و افزاره‌هایی که لایه سیلیکان در ناحیه کانال، به صورت کامل تخلیه می‌گردد^۶.



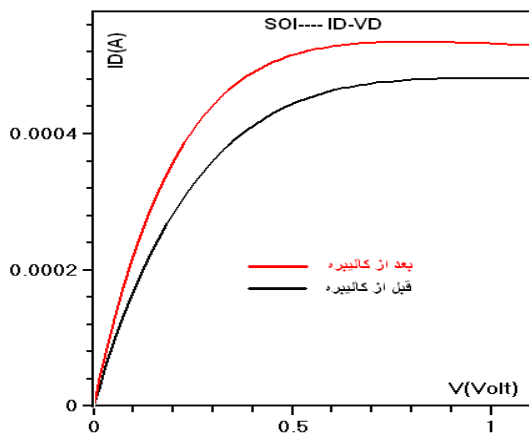
شکل ۱- برش عرضی یک ترانزیستور SOI

در افزاره‌های SOI PD، ضخامت لایه سیلیکان در ناحیه کانال، t_{Si} از دو برابر مقدار عرض لایه تخلیه بزرگتر است. در این حالت

انرژی و سایر ترمها بیانگر گرادیان چگالی ناخالصی، گرادیان دما و تغییرات فضایی جرم مؤثر الکترون و حفره می باشد [10].

4-1- مشخصه های خروجی و پروفایل توزیع دما در ترانزیستورهای SOI و SOD

در شکل (3) مشخصه خروجی یک ترانزیستور SOI در مقیاس 45nm قبل و بعد از کالیبره نشان داده شده است.



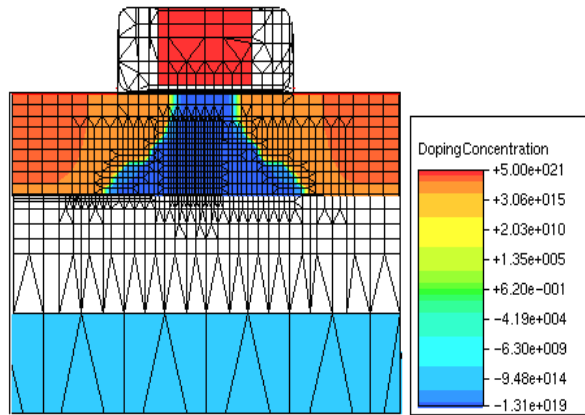
شکل 3- مشخصه ID-VD در یک ترانزیستور SOI در مقیاس 45nm قبل و بعد از کالیبره

در شکل (4)، مشخصه های خروجی در ترانزیستور SOI و SOD تحت ولتاژ بایاس 1/1 ولت نشان داده شده است. در این ترانزیستور، شیب زیر آستانه 82mv/decade، ولتاژ آستانه در حدود 0.25 ولت می باشد. با توجه به مشخصه شکل (4)، جریان درین در ترانزیستور SOD از جریان درین ترانزیستور SOI بیشتر بوده که دلیل این امر، کاهش موبیلیته حاملها در ترانزیستور SOI به علت بالا بودن دمای آن نسبت ترانزیستور SOD است.

در شکل های 5- الف و 5- ب، پروفایل توزیع دما در هر دو تکنولوژی SOI و SOD نشان داده شده است. با توجه به شاخص دما، تحت ولتاژ بایاس 1/1 ولت، دمای شبکه در ناحیه بدنه در ترانزیستور SOI و SOD به ترتیب در حدود 514 K و 412 K بوده و دمای لایه مدفون اکسید سیلیکون در ترانزیستور SOI، در رنج دمایی 510 K تا 410 K تغییر کرده، در حالی که دمای لایه الماس در ترانزیستور SOD، در حدود 411 K می باشد. این نتایج حاکی از این بوده که یک لایه الماس، حرارت منتقل شده از ناحیه کانال را به صورت یکنواخت به سمت بستر منتقل کرده به طوری که توزیع دما در لایه مدفون الماس، کاملاً یکنواخت می باشد. لذا انتقال یکنواخت حرارت توسط لایه الماس، باعث افت دمای ناحیه کانال

4- طراحی و شبیه سازی ترانزیستور SOI و SOD در مقیاس 45nm

در این بخش، مشخصه های خروجی ترانزیستورهای SOI و SOD در مقیاس 45nm، بدست می آید. این مشخصه ها شامل مشخصه های الکتریکی، مشخصه دما و پروفایل دمای شبکه می باشد. در شکل (2) شماتیک دوبعدی یک ترانزیستور PD SOD در مقیاس 45nm نشان داده شده است.



شکل 2- شمای دوبعدی یک ترانزیستور PD SOD در مقیاس 45nm

مشخصه های خروجی در هر دو تکنولوژی SOI و SOD با استفاده از مدل بسیار دقیق هیدرودینامیک¹¹ مورد بررسی و شبیه سازی قرار گرفته است. با استفاده از این مدل که مختص ترانزیستورها در مقیاس نانو می باشد، مشخصه دقیق و قابل اطمینانی از گرمای تولید شده در ترانزیستورها بدست می آید. در مدل هیدرودینامیک، معادله ابقاء انرژی برای حفره، الکترون و شبکه حل می شود. در این مدل برخلاف مدل نفوذ-رانس¹²، درجه حرارت حامل های بار الکترون و حفره، T_p ، T_n ، با درجه حرارت شبکه سیلیکون، T_L ، مساوی نمی باشد. معادلات چگالی جریان در این مدل به صورت زیر می باشد:

1- الف

$$\vec{J} = q \cdot \mu_n (n \nabla E_C + k_B T_n \nabla n + f_n^{td} k_B n \nabla T_n - 1.5 n k_B T_n \nabla \ln m_e) \quad \text{ب-1}$$

در این معادلات E_C و E_V به ترتیب انرژی باند هدایت و ظرفیت، n و p چگالی الکترون و حفره، T_p و T_n درجه حرارت حاملها، m_e و m_h جرم مؤثر حاملها و k_B ثابت بولتزمن می باشند. ترم اول معادلات، بیانگر تغییرات فضایی پتانسیل الکترواستاتیک و شکاف

۴-۲- شبیه‌سازی و بررسی نتایج حاصل از اثرات دمایی

یک ترانزیستور SOI یا SOD بر ترانزیستورهای جانبی خود

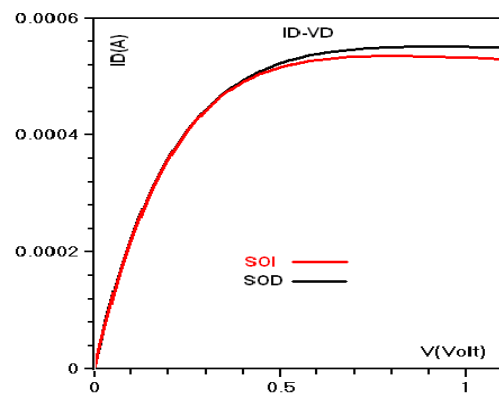
در این بخش با ایجاد ۳ ترانزیستور دیگر در کنار هر کدام از ترانزیستورهای SOI و SOD، اثرات دمایی یک ترانزیستور فعال را بر ترانزیستورهای کناری خود بررسی می‌کنیم. پروفایل دمایی و منحنی دمای شبکه در مجموعه ترانزیستورهای SOI و SOD در شکل‌های (۶-الف) و (۶-ب) نشان داده شده است.

باتوجه به پروفایل توزیع دما در شکل (۶-الف)، در یک ترانزیستور SOI تحت ولتاژ بایاس ۱/۱ ولت، دمای ناحیه فعال کانال ۴۵۸ K رسیده که نسبت به دمای شبکه در تک ترانزیستور SOI در شکل (۵-الف) کاهش یافته است. به عبارت دیگری توان گفت که در این حالت مقدار زیادی از گرمای ایجاد شده در ترانزیستور فعال از مسیر ترانزیستورهای جانبی به خارج منتقل می‌گردد. دمای ترانزیستورهای کناری T2، T3، T4 به ترتیب در حدود ۳۸۶ K، ۳۷۹ K و ۳۷۷ K می‌باشد. دمای پایه این ترانزیستورها در ابتدا ۳۰۰ K بوده که در اثر عملکرد ترانزیستور فعال، دمای هر کدام به ترتیب به میزان ۸۶ K، ۷۹ K و ۷۷ K افزایش یافته است. با توجه به این نتایج می‌توان گفت ترانزیستور فعال بیشترین دما را به ترانزیستور T2، منتقل کرده است.

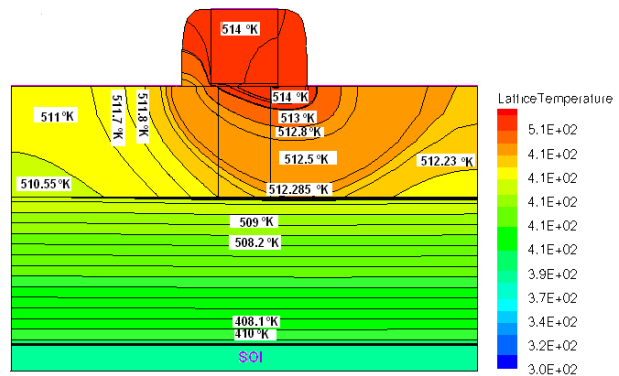
با توجه به پروفایل توزیع دما در شکل (۶-ب)، در یک ترانزیستور SOD تحت ولتاژ بایاس ۱/۱ ولت، دمای ناحیه فعال کانال به ۳۷۹ K رسیده که نسبت به دمای شبکه در تک ترانزیستور SOD در شکل (۵-ب)، در حدود ۵۰ درصد کاهش یافته است. در این حالت نیز، مقداری از گرمای ایجاد شده در ترانزیستور فعال، از مسیر ترانزیستورهای جانبی به خارج منتقل می‌گردد. دمای ترانزیستورهای کناری T2، T3، T4 به در حدود ۳۷۸ K، ۳۷۷ K و ۳۷۷ K می‌باشد. دمای پایه این ترانزیستورها در ابتدا ۳۰۰ K بوده که در اثر عملکرد ترانزیستور فعال، دمای آنها تقریباً به میزان ۷۷ K افزایش یافته است. دلیل هم‌دما شدن ترانزیستورهای کناری در تکنولوژی SOD، هدایت گرمایی بالا و یکنواخت لایه مدفون الماس می‌باشد.

با توجه به نتایج فوق در مورد ترانزیستور SOD می‌توان گفت که لایه الماس حرارت را به صورت یکنواخت به بستر و ترانزیستورهای کناری خود منتقل می‌کند. شکل (۷) این مطلب را به وضوح می‌رساند.

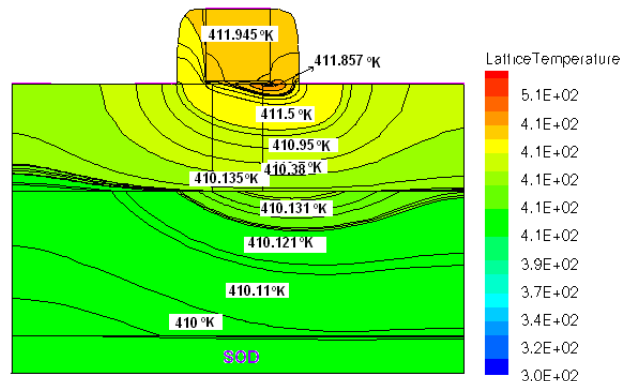
در ترانزیستور SOD نسبت به ترانزیستور SOI می‌گردد. با توجه به نتایج فوق می‌توان گفت که زیرپایه‌های SOD، قادر به انتقال گرمای بیشتری بوده و این موجب افزایش توان قابل تحمل و دانسیته توان در این تکنولوژی می‌گردد. جهت تصدیق این ادعا یک ترانزیستور SOD، در دمای معادل ترانزیستور SOI، مورد آزمایش و شبیه‌سازی قرار گرفته است. تحت شرایط دمایی جدید، توان قابل تحمل ترانزیستور SOD، ۶۳ درصد افزایش یافته است.



شکل ۴ - مشخصه ID-VD در ترانزیستورهای SOI و SOD در مقیاس 45 nm

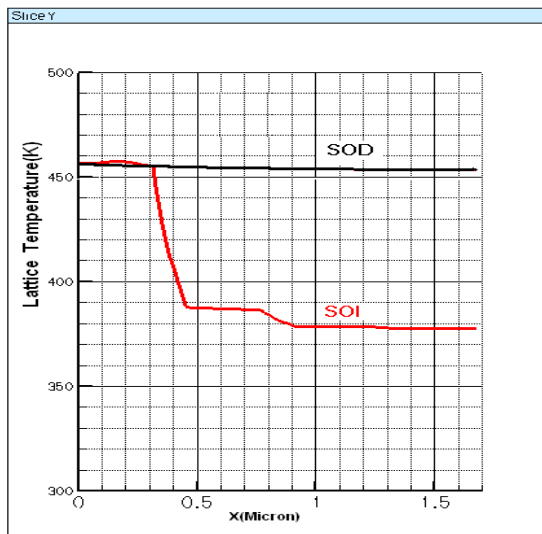


شکل ۵-الف - پروفایل توزیع دما در ترانزیستور SOI



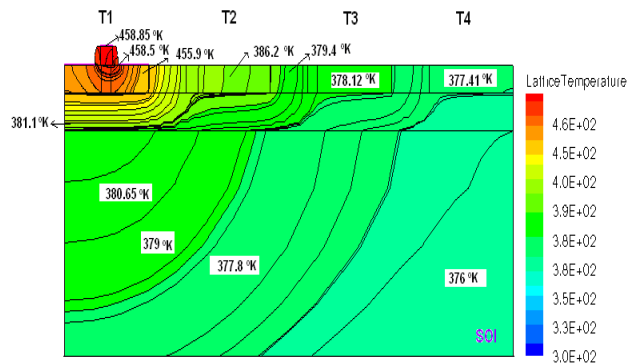
شکل ۵-ب - پروفایل توزیع دما در ترانزیستور SOD

خاموش این ترانزیستور و ایجاد مسئله عدم تطابق^{۱۳} در مدارات مجتمع می‌گردد. بنابراین می‌توان گفت که همدمایی ترانزیستور فعال و ترانزیستورهای کناری در تکنولوژی SOD، می‌باید دقیق‌تر مورد بررسی قرار گیرد. برای نشان دادن این مطلب، مجموعه ترانزیستورهای SOD را در دمای 458 K (دمای شبکه ترانزیستور فعال در مجموعه ترانزیستورهای SOI) شبیه‌سازی کرده، منحنی دمای شبکه به صورت شکل (۸) می‌باشد:

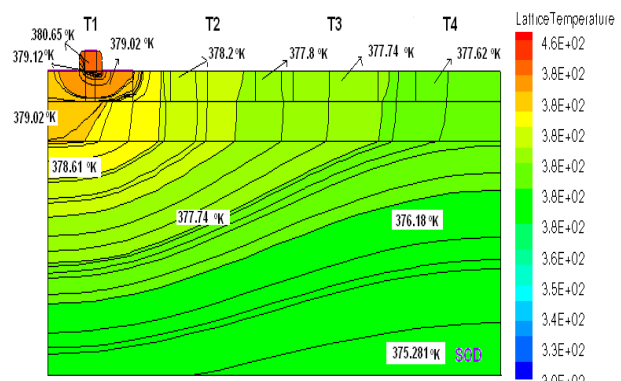


شکل ۸- منحنی دمای شبکه در تکنولوژی SOI و SOD در دمای یکسان 458 K برش در جهت طول افزاره

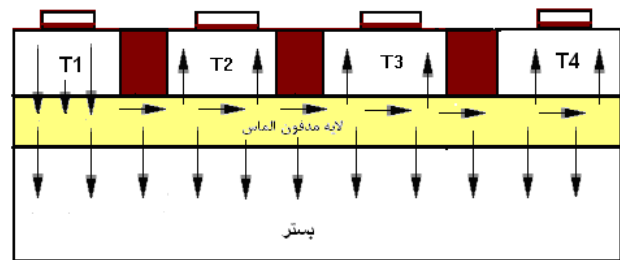
در این وضعیت، با همدمای کردن مجموعه ترانزیستور SOI و SOD، اگرچه توانستیم توان قابل تحمل ترانزیستور فعال را در حدود ۷۶ درصد افزایش دهیم اما این مسئله باعث افزایش دمای ترانزیستورهای کناری در تکنولوژی SOD، به 456 K شده که این دما نسبت به دمای دومین ترانزیستور کناری در تکنولوژی SOI (386K)، بسیار بیشتر می‌باشد. این مسئله در زمانی که ترانزیستور کناری در تکنولوژی SOD، در وضعیت خاموشی باشد موجب افزایش جریان خاموش این ترانزیستور می‌گردد. در شکل (۹)، جریان خاموش ترانزیستور SOD - T2 (ترانزیستور دوم در شکل ۶-ب) را در شرایطی که دمای ترانزیستور فعال T1، به 458 K (معادل دمای شبکه در ترانزیستور SOI فعال در شکل ۶-الف) رسانده‌ایم، نشان می‌دهد. در این حالت میزان جریان خاموش در ترانزیستور توان بالای کناری از 380 nA به 2/9 μA رسیده است. یعنی می‌توان گفت که در یک دمای بالا (توان بالا)، جریان خاموش ترانزیستور کناری در تکنولوژی SOD نسبت به شرایط دمای پایین (توان پایین)، حدود ۸ برابر گردیده است. این افزایش جریان



شکل ۶- الف - پروفایل توزیع دما در یک ترانزیستور فعال SOI و اثر آن بر ترانزیستورهای کناری



شکل ۶- ب - پروفایل توزیع دما در یک ترانزیستور فعال SOD و اثر آن بر ترانزیستورهای کناری



شکل ۷- مسیر هدایت گرما در زیر پایه SOD - با فرض فعال بودن ترانزیستور T1

۳-۴ - بررسی اثرات دما بر مشخصه زیر آستانه در ترانزیستور SOD توان بالا

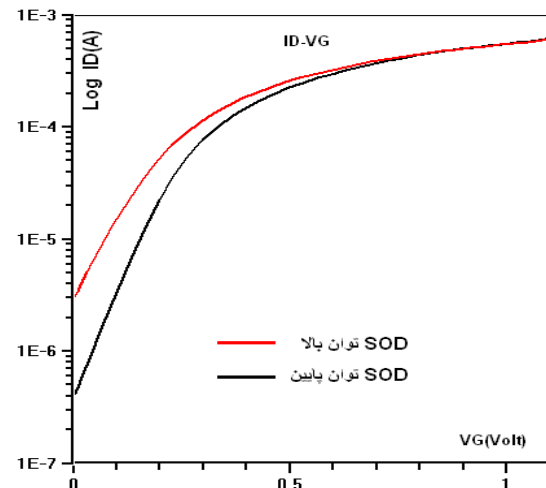
از آنجاکه قبلاً عنوان گردید، می‌توان از ترانزیستورهای SOD کاربردهای با توان بالاتر استفاده کرد. در این شرایط با توجه به مسئله همدمای شدن ترانزیستورهای کناری در تکنولوژی SOD، دمای کل ترانزیستورها به یک اندازه افزایش می‌یابد. این مسئله در حالتی که ترانزیستور جانبی خاموش باشد موجب افزایش دمای آن ترانزیستور به میزان زیادی گردیده و این خود موجب افزایش جریان

- [4] Jerry W. Zimmer, G. Chandler; **“SOD Substrates – The Next Step in Thermal Control”**, Sp3 Diamond Technologies, Inc. 2220 Martin Avenue, Santa Clara, CA 95050 Phone, pp. 408 – 492 - 0630.
- [5] K. Raleva, **“Is SOD Technology the Solution to Heating Problems in SOI Devices?”**, IEEE Electronic Device Letters, Vol. 29, No. 6, June 2008.
- [6] A. Aleksov; **“Fabrication and Thermal Evaluation of Silicon on Diamond Wafers”**, Journal of Electronic Materials, Vol. 34, No. 7, 2005.
- [7] A. Soderbag; **“Evaluation of Silicon Device Processes Aimed For Silicon-On-Diamond Material”**, IEEE International SOI Conference, October 1995.
- [8] R. Granzner; **“Simulation of Nanoscale MOSFETs Using Modified Drift-Diffusion and Hydrodynamic Models and Comparison with Monte Carlo Results”**, Microelectron. Engineering, Vol. 83, No. 2, pp. 241 – 246, February 2006.
- [9] N.K. Annamalai; **“Radiation Response of Silicon on Diamond (SOD) Devices”**, IEEE Transactions on Nuclear Science, Vol. 40, No. 6, December 1993.
- [10] Dessis Manual, ISE Integrated System Engineering, Version 10.

۷- پی‌نوشت‌ها

- 1- Silicon- On- Insulator
- 2- Bulk
- 3- System- On- Chip
- 4- Silicon- On- Diamond
- 5- Partially Depleted =PD
- 6- Fully Depleted=FD
- 7- Body Contact
- 8- Floating Body Effects.
- 9- Kink Effect
- 10- Zone Melting Recrystallization = ZMR
- 11- Hydrodynamic Energy Balance
- 12- Drift- Diffusion
- 13- Miss Match

خاموشی باعث افزایش توان مصرفی در مدارات مجتمع می‌گردد. به‌علاوه، افزایش تاثیر شرایط کاری یک ترانزیستور بر ترانزیستور کناری، باعث ایجاد مسئله عدم تطابق در مدارات آنالوگ که نیاز به دقت بالا و حداکثر تطبیق هست، می‌گردد.



شکل ۹- جریان وضعیت خاموش ترانزیستور کناری T2-SOD توان بالا و توان پایین

۵- نتیجه‌گیری

استفاده از زیرپایه‌های سیلیکون روی الماس می‌تواند مسئله خودگرمایی در ترانزیستورهای سیلیکون روی عایق را حل کند. از طرفی ترانزیستورهای سیلیکون روی الماس توان قابل تحمل بیشتری داشته که این خود موجب استفاده از این ساختارها در فرکانس‌های بالاتری می‌گردد. هدایت یکنواخت لایه الماس باعث افزایش جریان خاموش ترانزیستورهای سیلیکون روی الماس در دماهای بالاتر گردیده و این موجب ایجاد مسئله عدم انطباق در مدارات مجتمع می‌گردد.

۶- مراجع

- [1] J.P. Colinge; **“Silicon-On-Insulator Technology: Materials to VLSI”**, Kluwer Academic Publishers. 3rd edition, 2004.
- [2] G.G. Shahidi, **“SOI Technology for the GHz era”**, IBM J.RES & DEV, Vol. 46, No. 2/3, March/May 2002.
- [3] C. Fiegna, Y. Yang, E. Sangiorgi, A.G. O'Neil; **“Analysis of Self-Heating Effects in Ultrathin Body SOI MOSFETs by Device Simulation”**, IEEE Trans. on Electron Devices, Vol. 55, No. 1, pp. 233 - 244, 2008.