طراحی سلول پایه مقایسه‌گر موجی CMOS با استفاده از تکنیک GDI

آزاده کیانی سرکله[۱]، فرشته پورآهنگریان[۲]، راهبه نیارکی اصلی[۳]
۱- دانشجوی کارشناسی ارشد، گروه مهندسی برق، دانشگاه گیلان، azade.kiyani@gmail.com
۲- دانشجوی کارشناسی ارشد، گروه مهندسی برق، دانشگاه گیلان، f.ahangaryan@gmail.com
۳- استادیار، گروه مهندسی برق، دانشگاه گیلان، niaraki@guilan.ac.ir

چکیده

در این مقاله پیاده‌سازی جدیدی برای سلول پایه مقایسه‌گر موجی براساس تکنیک GDI ارائه می‌شود. سلول پایه ارائه‌شده با توان مصرفی پایین و سرعت بالا برای رسیدن به PDP پایین طراحی شده‌است، درحالی‌که طراحی منطقی همچنان از پیچیدگی کمی برخوردار است. مقایسه‌ی کارآیی تکنیک طراحی سلول پایه مقایسه‌گر موجی با ملاک‌هایی همچون تعداد ترانزیستور، تأخیر و اتلاف توان درنظر گرفته می‌شود و مزایای سلول پایه مقایسه‌گر موجی براساس تکنیک GDI در مقایسه با روش CMOS استاندارد نشان داده می‌شود. نتایج شبیه‌سازی نشان می‌دهد که سلول پایه ارائه‌شده نسبت‌به سلول پایه طراحی شده با روش CMOS استاندارد توان مصرفی کمتری دارد.

واژه‌های کلیدی

مقایسه‌گر موجی[۱]، تاخیر انتشاری[۲]، توان پایین[۳]، PDP[۴]، GDI[۵].

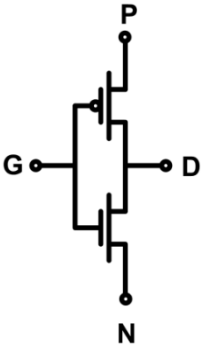
۱– مقدمه

مقایسه‌گرها در میکروپروسسورها، سیستم‌های مخابراتی، وسایل رمزگذاری و بسیاری از سیستم‌های دیگر کاربرد دارند. با پیشرفت سریع مدارات دیجیتال، بسیاری از تحقیق‌ها به افزایش سرعت و کاهش توان در آنها پرداخته‌است. این ایده‌ها منجر به ایجاد تکنیک‌های بسیاری گردیده که جدیدترین آن GDI می‌باشد [۱]. طراحی مدارات دیجیتال با استفاده از این تکنیک، مصرف توان، سطح مصرفی، PDP و در اغلب موارد، تأخیر را کاهش می‌دهد.

۱–۱– تکنیک GDI و تولید توابع مختلف با استفاده از این تکنیک

تکنیک GDI برپایه استفاده از یک سلول ساده همانند شکل (۱) بنا شده‌است. در نگاه اوّل این سلول پایه مشابه یک وارون‌گر CMOS است، ولی تفاوت‌هایی میان آن‌ها وجود دارد: ۱) یک سلول پایه GDI شامل چهار ورودی است: G (ورودی گیت - مشترک PMOS و NMOS)، P (ورودی سورس/درین PMOS)، N (ورودی سورس/درین NMOS)، و D (خروجی گیت - مشترک PMOS و NMOS). ۲) بدنه هر دو ترانزیستور PMOS و NMOS به‌ترتیب به P و N متصل می‌شوند. P، N و D ممکن است با توجه به ساختار مدار هم به‌عنوان ورودی و هم به‌عنوان خروجی استفاده شوند. باید توجه داشت، امکان تحقق این مهم در پروسه چاهP[۶]، CMOS استاندارد وجود ندارد. ولی می‌توان آن را در تکنولوژی‌هایی نظیر چاه دوقلو[۷]، CMOS یا SOI پیاده‌سازی نمود. جدول (۱) نشان می‌دهد که چگونه با یک تغییر ساده در ترکیب ورودی‌های یک سلول پایه GDI، خروجی‌های متناظری را با توابع مختلف بولی می‌توان بدست آورد [۲]. در پیاده‌سازی‌های GDI، استفاده از گیت‌های کمتر یکی از مشخصه‌های مهم در طراحی می‌باشد که این امر به نوبه‌ی خود تعداد ترانزیستورهای کمتر و اتلاف توان کمتری را نسبت‌به تکنیک‌های استاندارد طراحی با CMOS و PTL[۸] به

دنبال خواهد داشت [۲]. که پیاده‌سازی بیشتر این توابع در تکنیک‌های مختلف نیازمند استفاده از ۶ تا ۱۲ ترانزیستور است، ولی استفاده از تکنیک GDI این امکان را به ما می‌دهد که طراحی مورد نظر را براساس استفاده از ترانزیستورهای کمتری انجام دهیم که این مهم، کاهش توان، افزایش سرعت و کاهش پیچیدگی در توابع بولی را به‌دنبال دارد [۳]. همچنین گیت‌های چند ورودی می‌توانند به‌وسیله ترکیب چندین سلول GDI پیاده‌سازی شوند.



شکل۱- سلول پایه GDI

جدول ۱- ساخت برخی از توابع منطقی ترکیبی توسط سلول پایه GDI

توابع منطقی	D	G	P	N
F1	$\bar{A}B$	A	B	'0'
F2	$\bar{A}+B$	A	'1'	B
OR	A + B	A	B	'1'
AND	AB	A	'0'	B
MUX	$\bar{A}B+AC$	A	B	C
NOT	$\bar{A}$	A	'1'	'0'

۱-۲- بررسی حالت‌گذرای سلول پایه GDI

آنالیز حالت گذرا برای سلول‌های GDI در بیشتر موارد شبیه به یک معکوس‌کننده CMOS [۴]، [۵] است. این آنالیز براساس مدل Shockley بوده که جریان درین (I_D) در این مدل به شکل زیر بدست می‌آید.

$$I_D=\begin{cases} I_{D0}\left(\frac{W}{L}\right)e^{(qV_{GS}/KT)} \\ \quad (V_{GS}\le V_{TH}: subthreshold\ region) \\ K\left\{(V_{GS}-V_{TH})V_{DS}-0.5V_{DS}^2\right\} \\ \quad (V_{DS}<V_{GS}-V_{TH}: linear\ region) \\ 0.5K(V_{GS}-V_{TH})^2 \\ \quad (V_{DS}\ge V_{GS}-V_{TH}: saturation\ region) \end{cases} \quad (۱)$$

که K فاکتور تحریک، V_{TH} ولتاژ آستانه، W عرض کانال و L طول کانال می‌باشند. در مقایسه با آنالیز معکوس‌کننده CMOS [۶]، که Vgs به‌عنوان ولتاژ ورودی داده می‌شود، در بیشتر سلول‌های GDI، V_{ds} به‌عنوان ولتاژ ورودی مدل Shockley در نظر گرفته می‌شود. همان‌طور که در شکل (۳) نشان داده شده‌است، هنگامی‌که یک سیگنال پله به ورودی انتشاری[۹] nMOS اعمال می‌شود، یک افت ولتاژ در خروجی مشاهده می‌گردد و در طول پاسخ، ترانزیستور nMOS از ناحیه اشباع به ناحیه زیر آستانه می‌رود. به‌دلیل تغییر سریع ورودی، از ناحیه خطی دراین تحلیل صرف نظر شده‌است.

با استفاده از پاسخ گذرا که از معادلات (۱) بدست آمده و با درنظرگرفتن بار خازنی خروجی، جریان خازن به‌صورت زیر محاسبه می‌شود.

$$I_C=C\frac{dV_S}{dt}=I_D \quad (۲)$$

که C ظرفیت خازن خروجی، V_S ولتاژ خازن C_L، I_C جریان شارژکننده خازن و I_D جریان درین است که از کانال N ترانزیستور nMOS عبور می‌کند. V_S به‌عنوان تابعی از زمان به شکل زیر بدست می‌آید.

ابتدا در ناحیه اشباع داریم:

$$C\frac{dV_S}{dt}=0.5k(V_{GS}-V_T)^2=0.5k(V_{DD}-V_T-V_S)^2 \quad (۳)$$

که فرم انتگرالی معادله (۳) به شکل زیر بدست می‌آید:

$$\int\frac{dV_S}{0.5k(V_{DD}-V_T-V_S)^2}=\int\frac{dt}{C} \quad (۴)$$

معادله (۴) را می‌توان به شکل زیر بیان نمود.

$$\int\frac{dV_S}{aV_S^2+bV_S+c}=\int dt \quad (۵)$$

$$a=\frac{0.5k}{C},b=\frac{-k(V_{DD}-V_S)}{C},c=\frac{0.5k(V_{DD}-V_T)^2}{C} \quad (۶)$$

که a، b و c ثابت‌هایی هستند که از مدار داده‌شده بدست می‌آیند. معادله نهایی پاسخ گذرا در ناحیه اشباع به شکل زیر بدست می‌آید.

$$t + k_1 = \frac{1}{\sqrt{b^2 - 4ac}} \ln\left(\frac{2aV_S + b - \sqrt{b^2 4ac}}{2aV_S + b + \sqrt{b^2 4ac}}\right) \quad (۷)$$

که t زمانی است که ترانزیستور در ناحیه اشباع بوده‌است. k_1 ثابت انتگرال است و با استفاده از شرایط اولیه (t=0, Vs=0) محاسبه می‌گردد. بعد از ورود به ناحیه زیر آستانه، V_s تا زمانی که خازن خروجی با جریان I_D طبق رابطه (۱) شارژ شود، افزایش می‌یابد.

و در ناحیه زیر آستانه داریم:

$$C\frac{dV_S}{dt} = I_{D0}\left(\frac{W}{L}\right)e^{(qV_{GS}/KT)} = I_{D0}\left(\frac{W}{L}\right)\frac{e^{(qV_{DD}/KT)}}{e^{(qV_S/KT)}} \quad (۸)$$

$$\int dV_S\, e^{(qV_S/KT)} \cdot A = \int dt \quad (۹)$$

که T دما برحسب درجه کلوین، k ثابت بولتزمان، q بار الکترون و A ثابتی است که به‌شکل زیر محاسبه می‌شود.

$$A = \frac{C}{I_{D0}\left(\frac{W}{L}\right)e^{(qV_{DD}/KT)}} \quad (۱۰)$$

و درنهایت پاسخ در ناحیه زیر آستانه به شکل زیر بدست می‌آید.

$$t + k_2 = \frac{e^{(qV_S/KT)}}{\frac{q}{kT}} \cdot A \quad (۱۱)$$

$$k_2 = \frac{e^{(qV_S/KT)}}{\frac{q}{kT}} \cdot A \quad (۱۲)$$

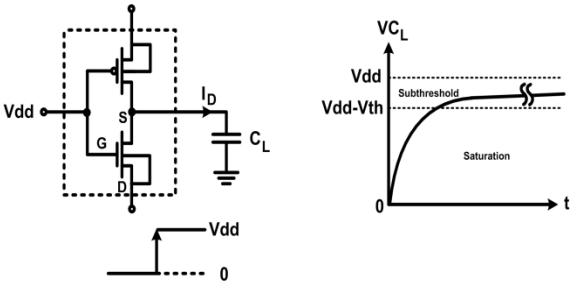
که k_2 ثابت انتگرال بوده و با استفاده از شرایط اولیه مشخص می‌شود. A با استفاده از معادله (۱۰) بدست می‌آید و V_T ولتاژ آستانه است.

آنالیز تأخیر انتشار در سلول‌های GDI با استفاده از روابط (۲) - (۷) و در نظرگرفتن دیود بین سورس و بدنه nMOS بدست می‌آید. این دیود که در طول زمان گذرا بایاس مستقیم شده‌است، یک جریان اضافی برای شارژ خازن C_L تولید می‌کند. این جریان به شکل زیر قابل محاسبه است.

$$I_{BS} = I_0\left(e^{(q[V_{DD} - V_T]/nkT)} - 1\right) \quad (۱۳)$$

که I_{BS} جریان دیود، I_0 جریان اشباع معکوس و n فاکتوری بین ۱ و ۲ است.

این جریان به معادله (۲) برای بهبود تأخیر انتشار اضافه می‌شود که نتیجه آن پاسخ گذرای سریع‌تر سلول GDI است. شکل (۲) پاسخ گذرای یک سلول پایه‌ی GDI را نشان می‌دهد.



شکل ۲- پاسخ گذرای یک سلول GDI

در این مقاله با استفاده از تکنیک GDI یک سلول پایه مقایسه‌گر موجی توان پایین پیاده‌سازی شده‌است. شبیه‌سازی توسط نرم‌افزار HSPICE و برپایه تکنولوژی 0.18-µm CMOS انجام شده‌است. نتایج نشان می‌دهد که این روش در مقایسه با CMOS استاندارد، روش مناسب‌تری از نظر توان و سطح مصرفی است.

در بخش ۲ ساختار کلی یک مقایسه‌گر موجی معرفی می‌شود و در بخش ۳ این مقایسه‌گر توسط تکنیک GDI با دو روش پیاده‌سازی می‌گردد. نتایج شبیه‌سازی در بخش ۴ آمده‌است. بخش ۵ به نتیجه‌گیری اختصاص داده شده است.

۲- ساختار مقایسه‌گر موجی

مقایسه دو عدد عملی است که توسط آن بزرگتربودن، کوچکتر بودن یا مساوی‌بودن آنها معین می‌شود. یک مقایسه‌گر موجی n بیتی از n واحد پایه که به‌صورت متوالی بهم متصل شده‌اند، تشکیل می‌شود. شکل (۳) ساختار یک مقایسه‌گر موجی n بیتی را نشان می‌دهد. مقایسه دو عدد n بیتی از مقایسه مقادیر دودویی دو عدد مورد مقایسه در بزرگترین ارزش شروع شده و به مقایسه مقادیر دودویی همان اعداد در کوچکترین ارزش ختم می‌شود.

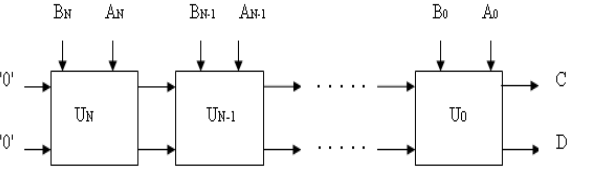
در هر واحد، دو ورودی به‌عنوان دیتای مقایسه از خروجی‌های واحد قبل وارد می‌شوند (سیگنال‌های C وD). مقایسه در هر واحد با استفاده از دو سیگنال C و D و مقادیر دودویی دو عدد مورد

مقایسه، طبق جدول (۲) صورت می‌گیرد [۲] و سیگنال‌های C و D خروجی از هر واحد با استفاده از روابط (۱۴) بدست می‌آیند.

$$D_{out} = D_{in} + \overline{A}B\overline{C_{in}}$$
$$C_{out} = C_{in} + A\overline{B}\overline{D_{in}} \quad (۱۴)$$

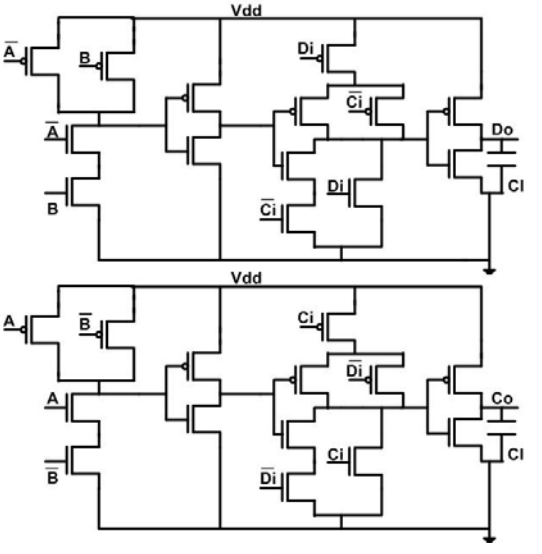
جدول ۲- نتایج مقایسه با استفاده از ورودی هر بلوک

C	D	result
'1'	'0'	A>B
'0'	'1'	A<B
'0'	'0'	A=B



شکل۳- ساختار یک مقایسه‌گر موجی n بیتی

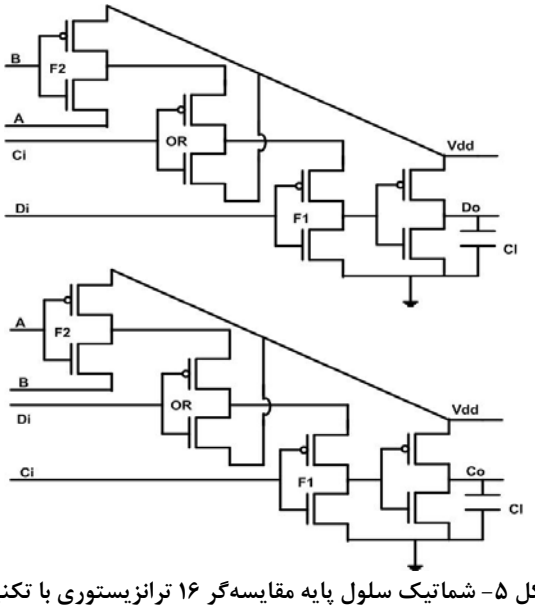
شکل (۴) نمای مداری مقایسه‌گر CMOS با استفاده از ۳۶ ترانزیستور را نشان می‌دهد. این مقایسه‌گر با استفاده ازروابط (۱۴) پیاده‌سازی شده است. پیاده‌سازی این مقایسه‌گر با استفاده از تکنیک CMOS استاندارد انجام شده است.



شکل۴- سلول پایه مقایسه‌گر موجی با تکنیک CMOS استاندارد

۳- پیاده‌سازی سلول پایه مقایسه‌گر موجی با تکنیک GDI

شکل‌های (۵) و (۶) شماتیک سلول مقایسه‌گر معرفی شده را نشان می‌دهند که تعداد ترانزیستورها در این دو طراحی متفاوت است. یکی از مهم‌ترین ویژگی سلول پایه باید قدرت راه‌اندازی کافی مدارهای بعدی باشد. قابلیت راه‌اندازی درصورت داشتن دامنه نوسان و جریان مناسب در خروجی حاصل می‌گردد. یکی از روش‌ها، استفاده از اینورتر پس از سلول می‌باشد. برای اینکه بتوان در خروجی اینورتر تابع اصلی را ایجاد کرد، باید وارون توابع را تولید نمود تا پس از عبور از اینورتر، تابع مورد نظر تحقق یابد [۷].



شکل ۵- شماتیک سلول پایه مقایسه‌گر ۱۶ ترانزیستوری با تکنیک GDI

همان‌طور که در شکل (۵) دیده می‌شود، برای پیاده‌سازی سلول مقایسه‌گر موجی از ۱۶ ترانزیستور و توابع F1، OR، F2 و وارونگر استفاده شده‌است. در شکل (۶) از ۲۰ ترانزیستور و تابع F1 و اینورتر استفاده شده‌است. تابع F1 کمترین تاخیر را ایجاد کرده و بیشترین مصرف توان را دارد [۲].

۴- نتایج شبیه‌سازی

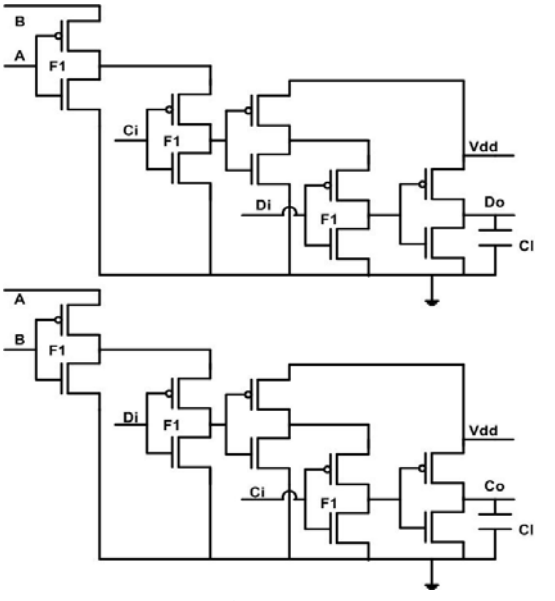
شبیه‌سازی‌ها با نرم افزار HSPICE و در تکنولوژی 0.18-µm CMOS انجام گرفته است [۸].

حداقل ولتاژ کاری برای سلول ۱۶ ترانزیستوری، ۱ولت و برای سلول ۲۰ ترانزیستوری، ۰/۹ ولت است. حداکثر ولتاژ کاری در شبیه سازی برای هر دو سلول V ۳/۳ است.

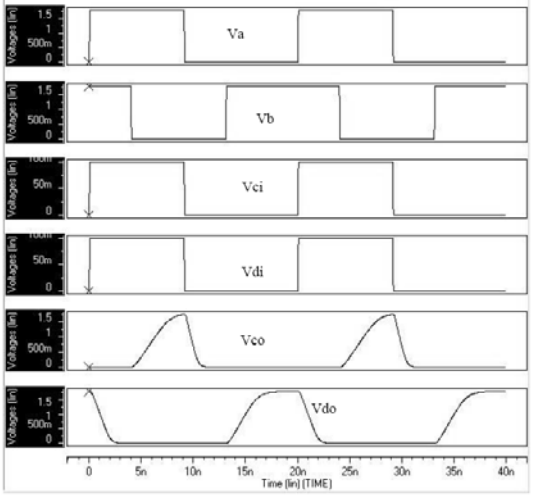
لازم به ذکر است فرکانس کاری به‌ازای ولتاژهای بالای ۱/۵ ولت، ۱۰۰ مگاهرتز و به ازای ولتاژهای ۱/۵ تا ۰/۹ ولت، ۱۰ مگاهرتز می‌باشد.

شکل موج‌های خروجی در شرایط کاری f=100 MHz، Vdd=1.8V، Cl=100fF در شکل (۷) نشان داده شده است.

در شرایط کاری فوق بین GDI و CMOS استاندارد از نظر PDP و توان مصرفی مقایسه‌ای انجام شده است که نتایج آن را در جدول (۳) آمده است. جدول (۳) نشان می‌دهد که سلول جدید با ۱۶ ترانزیستور از نظر تعداد ترانزیستور و توان، برتری قابل ملاحظه‌ای نسبت به CMOS استاندارد دارد.



شکل ۶- شماتیک سلول پایه مقایسه‌گر ۲۰ ترانزیستوری با تکنیک GDI

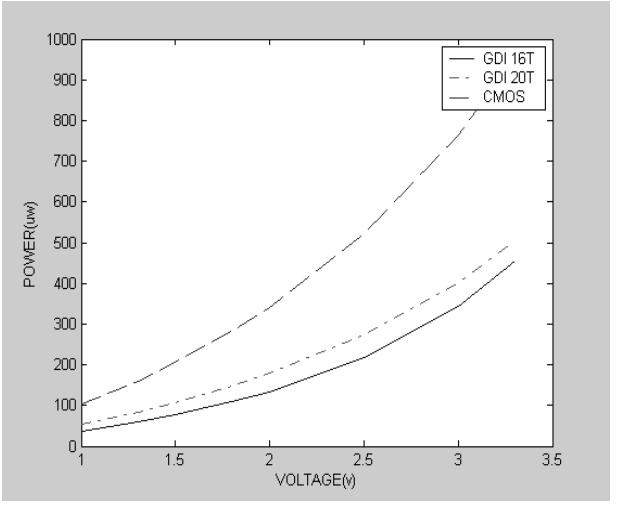


شکل ۷- شکل موج های سلول ارائه شده با ۱۶ ترانزیستور

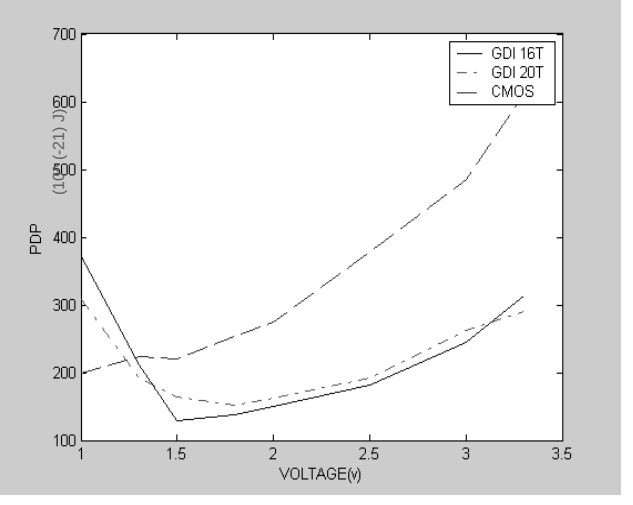
جدول ۳- مقایسه بین GDI و CMOS استاندارد

تکنیک طراحی	توان (pw)	PDP (۱۰^(-۲۱))J	تعداد ترانزیستور
GDI	۱۰۸ /۵	۱۳۷ /۸	۱۶
GDI	۱۴۸ /۳	۱۵۲ /۱	۲۰
CMOS	۲۸۲ /۴	۲۵۴ /۱۶	۳۶

تغیرات توان و PDP برحسب ولتاژ تغذیه برای سلول GDI با ۱۶ ترانزیستور و ۲۰ ترانزیستور و CMOS استاندارد در شکل‌های (۸) و (۹) نشان داده شده است.



شکل ۸- مقایسه توان مصرفی بین سلول‌های بررسی شده در شرایط کاری ذکر شده



شکل۹- مقایسه PDP بین سلول‌های بررسی شده در شرایط کاری ذکر شده

چنانچه هدف از طراحی با تکنیک GDI، رسیدن به مداراتی با تأخیر کمتر نسبت به CMOS استاندارد باشد، می‌توان با تغییر اندکی در ساختار طرح و پارامترهای شبیه‌سازی به این مطلوب رسید.

۵– نتیجه‌گیری

در این مقاله یک سلول پایه مقایسه‌گر موجی توان پایین ارائه شده است که با تغییر بار و فرکانس می تواند تا ولتاژ زیر ۱ ولت کار کند.

برای طراحی این سلول از تکنیک GDI استفاده شده است. در ساختار پیشنهادی از ۱۶ عدد ترانزیستور استفاده شده است، که انتخاب مناسب اندازه‌ی آن‌ها کم‌ترین PDP را به‌دنبال داشته‌است. این امر باعث بهینه‌سازی در فرآیند طراحی سلول پایه مقایسه‌گر موجی در مقایسه با ساختار CMOS استاندارد شده است. استفاده از این تکنیک GDI موجب شده‌است که سلول ارائه شده از نظر توان مصرفی و تعداد ترانزیستور نیز کاهش قابل توجهی نسبت به CMOS استاندارد داشته باشد.

۶– مراجع

[1] A. Morgenshtein, A. Fish, I.A. Wagner; "**Gate Diffusion Input (GDI)–A Novel Power Efficient Method for Digital Circuits: A Design Methodology**", 14th ASIC/SOC Conference, Washington D.C., USA, September 2001.

[2] A. Morgenshtine, A. Fish, I.A. Wagner; "**Gate-Diffusion Input (GDI)–A Power Efficient Metod for Digital Combinatorial Circuits**", IEEE Trans VLSI, Vol. 10, No. 5, pp. 566 - 581, October 2002.

[3] A. Morgenshtein, A. Fish, I.A. Wagner 3; "**An Efficient Implementation of DFF Using the GDI Technique**", ISCAS Conference, pp. 673 – 676, 2004.

[4] J.R. Burns; **"Switching Response of Complementary Symmetry MOS Transistor Logic Circuits",** RCA Rev., Vol. 25, pp. 627 – 661, December 1964.

[5] T. Sakurai, A.R. Newton; "**Alpha-power Law MOSFET Model and Its Applications to CMOS Inverter Delay and Other Formulas**", IEEE J. Solid-State Circuits, Vol. 25, pp. 584 – 593, April 1990.

[6] V. Adler, E. G. Friedman; "**Delay and Power Expressions for a CMOS Inverter Driving a Resistive-capacitive Load**", Analog Integrated Circuits Signal Process, Vol. 14, pp. 29 – 39, 1997.

[۷] علیرضا صابرکاری، علی افضلی- کوشا، شهریار برادران شکوهی; **"طراحی سلول جدید Full-Adder یک بیتی CMOS ولتاژ و توان پایین با استفاده از تکنیک GDI"**، کنفرانس ICEE 2006، دانشگاه امیرکبیر

[8] Mosis Website, WWW.mosis.org

۷– پی‌نوشت‌ها

1- Ripple Comparator
2- Propagation Dela
3- Low-Power
4- Power Delay Product
5- Gate-Diffusion Input
6- P-well
7- Twin-well
8- Pass Transistor Logic
9- Diffusion